

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2000-156339
 (43)Date of publication of application : 06.06.2000

(51)Int.Cl. H01L 21/027
 G03F 7/38
 G03F 7/40
 H01L 21/3065

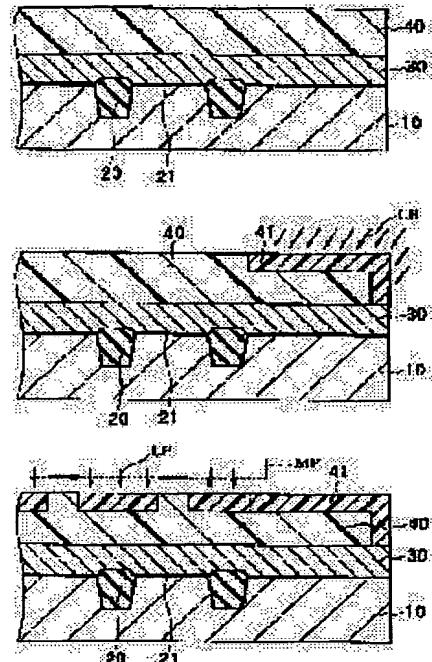
(21)Application number : 10-331244 (71)Applicant : SONY CORP
 (22)Date of filing : 20.11.1998 (72)Inventor : TAKEUCHI KOICHI

(54) MANUFACTURE OF SEMICONDUCTOR DEVICE AND PHOTOLITHOGRAPHY METHOD

(57)Abstract:

PROBLEM TO BE SOLVED: To provide a semiconductor device manufacturing method and photolithography method by which a resist film can be removed without leaving residues in the edge sections of a substrate, at the time of patterning the resist film on the substrate through silylation.

SOLUTION: When a resist film is formed in a prescribed pattern in at least the first area of a substrate having the first area and a second area around the first area through silylation, the formation of a silylated product-containing layer on the surfaces of the side walls of a resist film 40 in the second area is prevented by forming crosslinking sections 41 in the surface layers of the side walls by performing exposure treatment LE or, even when the silylated product-containing layers are formed, by removing the layers before forming a silicon oxide-containing layer.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

BEST AVAILABLE COPY

[Date of extinction of right]

*** NOTICES ***

JPO and NCIPI are not responsible for any damages caused by the use of this translation.

- 1.This document has been translated by computer. So the translation may not reflect the original precisely.
- 2.**** shows the word which can not be translated.
- 3.In the drawings, any words are not translated.

CLAIMS

[Claim(s)]

[Claim 1] Even if there is little substrate which has the 2nd field which is the periphery section of the 1st field and the 1st field concerned, it sets to the 1st field. Are the manufacture approach of the semiconductor device processed into a predetermined pattern, and the processed layer formed in said substrate is set to said 1st field and said 2nd field. In the process which forms the resist film in the whole surface at the upper layer of the processed layer formed in the substrate, and said 1st field In the process which exposes said resist film along with a predetermined pattern, and forms the bridge formation section and the section non-conducting a bridge in the surface part of said resist film along with said pattern, and said 2nd field In the process which forms the bridge formation section in a surface part including the side-attachment-wall front face of said resist film, and said 1st field In the process of said section non-conducting a bridge which forms a silyl ghost content layer in a surface part at least, and said 1st field In the process which forms a silicon oxide content layer in a surface part at least, and said 1st field and said 2nd field of said silyl ghost content layer In the process which processes said resist film along with said pattern by using said silicon oxide content layer as a mask, and said 1st field and said 2nd field The manufacture approach of a semiconductor device of having the process which processes said processed layer by using as a mask said silicon oxide content layer or said resist film by which pattern processing was carried out.

[Claim 2] The resist film which forms the bridge formation section is used for an exposed part as said resist film. In the process which forms the bridge formation section and the section non-conducting a bridge in the surface part of said resist film along with said pattern in said 1st field The bridge formation section is formed in the surface part of the exposed part of said resist film according to the process which exposes said resist film along with a predetermined pattern. In the process which forms the bridge formation section in the surface part which makes the surface part of the part except said bridge formation section of said resist film said section non-conducting a bridge, and includes the side-attachment-wall front face of said resist film in said 2nd field The manufacture approach of the semiconductor device according to claim 1 which forms the bridge formation section in a surface part including the side-attachment-wall front face of said resist film according to the process which exposes said resist film.

[Claim 3] When exposure and bridge formation processing are performed as said resist film, the section non-conducting a bridge is formed in an exposed part. In the process which uses the resist film which forms the bridge formation section in a part for an unexposed part, and forms the bridge formation section and the section non-conducting a bridge in the surface part of said resist film along with said pattern in said 1st field According to the process which exposes said resist film along with a predetermined pattern, and the process which performs bridge formation processing Form the section non-conducting a bridge in the surface part of the exposed part of said resist film, and the bridge formation section is formed in the surface part of the part except said section of said resist film non-conducting a bridge. The manufacture approach of the semiconductor device according to claim 1 which forms the bridge formation section in a surface part including the side-attachment-wall front face of said resist film in the process which forms the bridge formation section in the surface part which includes the side-

attachment-wall front face of said resist film in said 2nd field according to the process which performs bridge formation processing to said resist film.

[Claim 4] In said 1st field, it sets at the process of said silyl ghost content layer which forms a silicon oxide content layer in a surface part at least. The manufacture approach of the semiconductor device of said silyl ghost content layer according to claim 1 which processes said resist film into coincidence along with said pattern in said 1st field and said 2nd field by using said silicon oxide content layer as a mask while forming a silicon oxide content layer in a surface part at least.

[Claim 5] The manufacture approach of a semiconductor device according to claim 4 of performing plasma treatment which contains oxygen in material gas in said 1st field in the process of said silyl ghost content layer which forms a silicon oxide content layer in a surface part at least.

[Claim 6] Even if there is little substrate which has the 2nd field which is the periphery section of the 1st field and the 1st field concerned, it sets to the 1st field. Are the manufacture approach of the semiconductor device processed into a predetermined pattern, and the processed layer formed in said substrate is set to said 1st field and said 2nd field. In the process which forms the resist film in the whole surface at the upper layer of the processed layer formed in the substrate, and said 1st field In the process which exposes said resist film along with a predetermined pattern, and forms the bridge formation section and the section non-constructing a bridge in the surface part of said resist film along with said pattern, and said 2nd field In the process which forms the section non-constructing a bridge in a surface part including the side-attachment-wall front face of said resist film, and said 1st field and said 2nd field In the process of said section non-constructing a bridge which forms a silyl ghost content layer in a surface part at least, and said 2nd field With the process which removes said silyl ghost content layer formed in the surface part of said resist film which includes a side-attachment-wall front face at least, it sets to said 1st field at least. In the process which forms a silicon oxide content layer in a surface part at least, and said 1st field and said 2nd field of said silyl ghost content layer In the process which processes said resist film along with said pattern by using said silicon oxide content layer as a mask, and said 1st field and said 2nd field The manufacture approach of a semiconductor device of having the process which processes said processed layer by using as a mask said silicon oxide content layer or said resist film by which pattern processing was carried out.

[Claim 7] The resist film which forms the bridge formation section is used for an exposed part as said resist film. In the process which forms the bridge formation section and the section non-constructing a bridge in the surface part of said resist film along with said pattern in said 1st field The manufacture approach of the semiconductor device according to claim 6 which forms the bridge formation section in the surface part of the exposed part of said resist film, and makes the surface part of the part except said bridge formation section of said resist film said section non-constructing a bridge according to the process which exposes said resist film along with a predetermined pattern.

[Claim 8] When exposure and bridge formation processing are performed as said resist film, the section non-constructing a bridge is formed in an exposed part. In the process which uses the resist film which forms the bridge formation section in a part for an unexposed part, and forms the bridge formation section and the section non-constructing a bridge in the surface part of said resist film along with said pattern in said 1st field According to the process which exposes said resist film along with a predetermined pattern, and the process which performs bridge formation processing Form the section non-constructing a bridge in the surface part of the exposed part of said resist film, and the bridge formation section is formed in the surface part of the part except said section of said resist film non-constructing a bridge. In the process which forms the section non-constructing a bridge in the surface part which includes the side-attachment-wall front face of said resist film in said 2nd field The manufacture approach of the semiconductor device according to claim 6 which forms the section non-constructing a bridge in a surface part including the side-attachment-wall front face of said resist film according to the process exposed on said resist film, and the process which performs bridge formation

processing.

[Claim 9] In said 1st field, it sets at the process of said silyl ghost content layer which forms a silicon oxide content layer in a surface part at least. The manufacture approach of the semiconductor device of said silyl ghost content layer according to claim 6 which processes said resist film into coincidence along with said pattern in said 1st field and said 2nd field by using said silicon oxide content layer as a mask while forming a silicon oxide content layer in a surface part at least.

[Claim 10] The manufacture approach of a semiconductor device according to claim 9 of performing plasma treatment which contains oxygen in material gas in said 1st field in the process of said silyl ghost content layer which forms a silicon oxide content layer in a surface part at least.

[Claim 11] The manufacture approach of the semiconductor device according to claim 6 which trickles resist film exfoliation liquid into the surface part of said resist film of said 2nd field which includes a side-attachment-wall front face at least in the process which removes said silyl ghost content layer formed in the surface part of said resist film which includes a side-attachment-wall front face at least in said 2nd field.

[Claim 12] Even if there is little substrate which has the 2nd field which is the periphery section of the 1st field and the 1st field concerned, it sets to the 1st field. Are the photolithography approach which forms the resist film of a predetermined pattern in said substrate, and it sets to said 1st field and said 2nd field. In the process which forms the resist film in the whole surface at a substrate, and said 1st field In the process which exposes said resist film along with a predetermined pattern, and forms the bridge formation section and the section non-constructing a bridge in the surface part of said resist film along with said pattern, and said 2nd field In the process which forms the bridge formation section in a surface part including the side-attachment-wall front face of said resist film, and said 1st field In the process of said section non-constructing a bridge which forms a silyl ghost content layer in a surface part at least, and said 1st field The photolithography approach of having the process of said silyl ghost content layer which forms a silicon oxide content layer in a surface part at least, and the process which processes said resist film along with said pattern in said 1st field and said 2nd field by using said silicon oxide content layer as a mask.

[Claim 13] Even if there is little substrate which has the 2nd field which is the periphery section of the 1st field and the 1st field concerned, it sets to the 1st field. Are the photolithography approach which forms the resist film of a predetermined pattern in said substrate, and it sets to said 1st field and said 2nd field. In the process which forms the resist film in the whole surface at a substrate, and said 1st field In the process which exposes said resist film along with a predetermined pattern, and forms the bridge formation section and the section non-constructing a bridge in the surface part of said resist film along with said pattern, and said 2nd field In the process which forms the section non-constructing a bridge in a surface part including the side-attachment-wall front face of said resist film, and said 1st field and said 2nd field In the process of said section non-constructing a bridge which forms a silyl ghost content layer in a surface part at least, and said 2nd field With the process which removes said silyl ghost content layer formed in the surface part of said resist film which includes a side-attachment-wall front face at least, it sets to said 1st field at least. The photolithography approach of having the process of said silyl ghost content layer which forms a silicon oxide content layer in a surface part at least, and the process which processes said resist film along with said pattern in said 1st field and said 2nd field by using said silicon oxide content layer as a mask.

[Translation done.]

*** NOTICES ***

JPO and NCIPI are not responsible for any damages caused by the use of this translation.

- 1.This document has been translated by computer. So the translation may not reflect the original precisely.
- 2.**** shows the word which can not be translated.
- 3.In the drawings, any words are not translated.

DETAILED DESCRIPTION

[Detailed Description of the Invention]**[0001]**

[Field of the Invention] Especially this invention relates to the photolithography approach which imprints the manufacture approach of the semiconductor device made detailed, and a detailed pattern about the manufacture approach of a semiconductor device, and the photolithography approach.

[0002]

[Description of the Prior Art] Detailed-izing and high integration of a semiconductor integrated circuit in recent years progressed to the next generation in three years, a former generation's contraction-ization 70 percent's was performed and the design rule has also realized improvement in the speed of a semiconductor device with contraction-izing. It is becoming important that the thing processed minutely, such as considering as multilayer-interconnection structure similarly, is [the wiring section] also needed by narrowing the occupancy area of the capacitor in gate width, DRAM, etc. of a gate electrode of a transistor, and a contact hole etc. forms the thing of the detailed diameter of opening similarly further in order to process a semiconductor device minutely. It follows on devices, such as a transistor and a capacitor, becoming complicated structure and solidifying, and the interlayer insulation film has been thick-film-ized.

[0003] The above-mentioned detailed-ization has been attained by an advance of the ultra-fine processing technology in the production process of a semiconductor device, and high resolution-ization in the photolithography process which is the technique imprinted on the photosensitive organic film (photoresist) to which the circuit pattern was especially applied on the wafer side using light.

[0004] In a photolithography process, the lower limit of the pattern in which an exposure imprint is possible is exposure wavelength extent. Moreover, in case an exposure imprint is carried out, although defocusing tolerance is required, if a pattern makes it detailed to exposure wavelength extent according to the level difference of a substrate, the aberration of the lens of an aligner, etc., it will decrease rapidly, the amount of defocusing, i.e., the depth of focus, (DOF;Depth Of Focus) permissible to pattern formation. Furthermore, if a pattern makes it detailed, the contrast of a pattern optical image will fall and it will fall, the margin, i.e., the exposure tolerance, to fluctuation of light exposure (effectual light exposure also containing the reflected light from a substrate substrate). Then, it is the flow to current that the exposure light source of shorter wavelength is used as detailed-ization of a semiconductor integrated circuit progresses.

[0005] As the above-mentioned exposure light source, g line (436nm) or i line (365nm) of a mercury lamp is used for the pattern imprint of the semiconductor integrated circuit of 1.0–0.5-micrometer Ruhr, and, specifically, i line is mainly used for the pattern imprint of 0.35-micrometer Ruhr. Moreover, the technique which uses and exposes KrF excimer laser (248.8nm) for manufacture of the semiconductor integrated circuit after 0.25-micrometer Ruhr is developed. In the future, ArF excimer laser (193nm) or an X-ray may be used.

[0006] However, equipment and ingredients, such as that a facility and investment for development are required to newly introduce an aligner with short exposure wavelength, **

material further used for the exposure light source and an aligner in the short wavelength field after ArF excimer laser, and a resist, are current development stages, and, as for not existing etc., short-wavelength-izing of the above-mentioned exposure light source has [the thing with the engine performance which can be equal to production] many technical problems which should be conquered. Then, in order to attain high resolution-ization in a photolithography process, research and development in the approach of forming the pattern below exposure wavelength is done, securing not only short-wavelength-izing of the exposure light source but the depth of focus.

[0007] As an approach of forming the pattern below exposure wavelength, the silanizing process which makes only the surface part of the resist film resolve is proposed, securing the above-mentioned depth of focus. How to process the gate electrode of a transistor into a gate pattern as an example using the silanizing process of a positive type in the manufacture approach of a semiconductor device of having an MOS transistor is explained below with reference to a drawing.

[0008] Drawing 13 is the top view of (a) semi-conductor substrate after the transistor formation process of the manufacture approach of a semiconductor device of having the above-mentioned MOS transistor, and the sectional view of the field near the edge of the (b) aforementioned semi-conductor substrate. Field A is this pattern space in which the above-mentioned MOS transistor is formed. For example, on the active region separated by the isolation insulator layer 20 of the STI (Shallow Trench Isolation) mold on the semi-conductor substrate 10, the gate dielectric film 21 which consists of silicon oxide is formed, and gate electrode 30a of for example, polish recon is formed in the upper layer. Moreover, into the semi-conductor base 10 in the both-sides section of gate electrode 30a, the source drain field 11 which is the diffusion layer of a conductive impurity is formed. The MOS transistor is constituted as mentioned above.

[0009] On the other hand, Field B is the edge section of a semi-conductor substrate, and is equivalent to the periphery section of Field A. Although Field B is a field which does not have the perfect circuit pattern and it is not necessary to form a semiconductor device in this field essentially, polish recon layer 30b is formed on a production process, and the diffusion layer 12 of a conductive impurity is formed into the semi-conductor substrate 10.

[0010] The production process of the manufacture approach until it results in the structure shown in above-mentioned drawing 13 is explained. First, as shown in drawing 14 (a), the isolation insulator layer of a STI mold is formed in the field A of the silicon semi-conductor substrate 10 (this pattern space).

[0011] Next, as shown in drawing 14 (b), in Field A and Field B (edge section), the oxidation silicone film 21 is formed in the whole surface by the oxidizing [thermally] method. In Field A, the silicon oxide film 21 turns into gate dielectric film of a transistor.

[0012] next, it is shown in drawing 14 (c) — as — for example, CVD (Chemical Vapor Deposition) — the polish recon layer 30 is made to deposit on the whole surface in Field A and Field B by law In Field A, the polish recon layer 30 is a layer used as the gate electrode of a transistor.

[0013] Next, as shown in the (d) perspective view of drawing 15 , and the (e) sectional view, in Field A and Field B, the resist film 40 for the silanizing processes of a polyvinyl phenol system is formed in the whole surface by rotation spreading at the upper layer of the polish recon layer 30.

[0014] Next, as shown in the (f) perspective view of drawing 16 , and the (g) sectional view, in Field B, Thinner Si removes the several mm resist film 40 from the periphery section. Next, the semi-conductor substrate 10 is heated with a hot plate, the solvent in a resist is evaporated, and the resist film 40 is stiffened.

[0015] Next, as shown in drawing 17 (h), in Field A, the pattern light LP of a positive image is irradiated at the resist film 40 by using as a mask the mask (mask which leaves a part for an unexposed part as a pattern) MP of a positive type. The molecule in the surface part of the resist film 40 of the exposed part forms a lifting and the bridge formation section 41 for crosslinking reaction. On the other hand, since it is not necessary to form a pattern, Field B does not carry out exposure.

[0016] Next, as shown in drawing 17 (i), in Field A and Field B, the resist film 40 (41) front face is exposed to sililation reagent S of a gaseous phase. Although diffusion of a sililation reagent is prevented in the bridge formation section 41, from a non-constructing bridge section (resist film 40 part except the bridge formation section 41) front face, a sililation reagent is spread and the silyl ghost content layer 42 is formed in the surface part of the section non-constructing a bridge. Even if the diffusion process of this sililation reagent is immersed into the sililation reagent of the liquid phase, it is possible. The silyl ghost content layer 42 will be formed in the surface part which includes the side-attachment-wall front face of the resist film in Field B at this time. Although a sililation reagent is diffused only in an one direction from the top face of the resist film, in the side-attachment-wall surface part of the resist film, a sililation reagent is spread on all sides. Consequently, thickness T2 of the silyl ghost content layer 42 formed in a side-attachment-wall front face Thickness T1 of the silyl ghost content layer 42 formed on the top face of the resist film It is formed thickly.

[0017] Next, as shown in drawing 17 (j), by performing plasma treatment (O₂ plasma treatment) which contains oxygen in material gas as a dry development, silicon oxide (SiOX) content layer 42b is formed in the surface part of the silyl ghost content layer 42, and the field except silicon oxide content layer 42b is set to silyl ghost content layer 42a. To coincidence, it is this O₂. Etching processing is carried out and the resist film 40 which contains the bridge formation section 41 by using silicon oxide content layer 42b as a mask by plasma treatment forms the positive pattern which leaves resist film 40a for an unexposed part.

[0018] Next, as shown in drawing 18 (k), etching processing of the polish recon layer 30 is carried out by using silicon oxide content layer 42b as a mask, and gate electrode 30a of polish recon is formed in Field A. Since a positive pattern is left behind to Field B at this time, polish recon layer 30b is left behind and formed.

[0019] Next, as shown in drawing 18 (l), etching removal of silicon oxide content layer 42b and the silyl ghost content layer 42a is carried out by the plasma treatment which contains a fluorine in material gas, and ashing removal of the resist film 40a of bulk is carried out by the plasma treatment which contains oxygen in material gas further. Or exfoliation liquid removes resist film 40a of bulk to silicon oxide content layer 42b and silyl ghost content layer 42a, and a pan.

[0020] Next, the conductive impurity of a conductivity type which is [in / Field A] different from the conductivity type of the semi-conductor substrate 10 as shown in drawing 18 (m) (when a substrate is p mold) When n mold impurities, such as Lynn, and a substrate are n molds, the ion implantation of the p mold impurities, such as boron, is carried out using gate electrode 30a as a mask, and the source drain field 11 which is the diffusion layer of a conductive impurity is formed into the semi-conductor substrate 10 in the both-sides section of gate electrode 30a. At this time, the diffusion layer 12 of a conductive impurity is formed also in Field B. By the resist film etc., the mask of the field B can be carried out and it can also carry out an ion implantation to Field A alternatively. Above, it results in the structure shown in drawing 13.

[0021] Although the manufacture approach of the above-mentioned semiconductor device explained the silanizing process (process which forms a pattern in a part for an unexposed part) of a positive type, it can be made into the silanizing process of a negative mold by making an exposed part diffuse a sililation reagent alternatively, forming a silicon oxide content layer in the surface part, and forming a pattern.

[0022] Since the manufacture approach of the semiconductor device using the above-mentioned silanizing process makes only the surface part of the resist film resolve, it serves as the same principle as using the resist film of a thin film optically, and becomes possible [securing the large depth of focus and forming the pattern of detailed high resolution]. Moreover, since a resist with the high rate of light absorption can be used, the reflected light from a substrate substrate can be pressed down and the standing wave effectiveness can be reduced, pattern dimensional accuracy can be raised.

[0023]

[Problem(s) to be Solved by the Invention] However, in the process which removes silicon oxide content layer 42b and silyl ghost content layer 42a, the manufacture approach of the semiconductor device using the above-mentioned silanizing process has the problem that the

residue of silicon oxide content layer 42b and silyl ghost content layer 42a occurs in the edge section (field B) of a substrate, when exfoliation time amount is insufficient.

[0024] The above-mentioned problem is explained with reference to a drawing. From having been formed more thickly [as shown in drawing 19 (k')] than the thickness of the silyl ghost content layer 42 in which the thickness of the silyl ghost content layer 42 in the side-attachment-wall front face of the resist film is formed on the top face of the resist film O2 plasma treatment — having carried out — the time — forming — having — a resist — the film — a side attachment wall — a front face — it can set — silicon oxide — content — a layer — 42 — b — ' — and — silyl — a ghost — content — a layer — 42 — a — ' — thickness — It will be formed more thickly than the thickness of silicon oxide content layer 42b formed on the top face of the resist film, respectively, and silyl ghost content layer 42a. Therefore, in Field b, it takes time amount too many for exfoliation of silicon oxide content layer 42b' and silyl ghost content layer 42a'. As it indicates drawing 19 (l') that exfoliation time amount is inadequate, residue 42c of silicon oxide content layer 42b and silyl ghost content layer 42a will occur in the edge section (field B) of a substrate.

[0025] Since it becomes a film peeling cause when forming various layers with a CVD method etc. in a back process, it is necessary to remove the above-mentioned residue 42c completely, without leaving residue 42c also in the field B which is a field unnecessary originally.

[0026] It sets to the manufacture approach of the above-mentioned semiconductor device, and is O2 as a dry development. It is O2, although plasma treatment was carried out and not being given. Before etching with the plasma, a surface silyl ghost content layer may be thinly etched by the plasma treatment which contains a fluorine in material gas (this process is also called break through). This is for forming a silyl ghost content layer in that surface by several nm thickness also in an exposed part, and removing the silyl ghost content layer in this exposed part, although a silyl ghost content layer should not be ideally formed in the exposed part of the resist film. Or it is for carrying out etching removal of the silyl ghost content layer formed in the edge section of a pattern by overflowing, and reducing the edge roughness of a pattern. In this break through, since anisotropic etching is used, the silicon oxide content layer and silyl ghost content layer which were formed in the side-attachment-wall front face of the resist film in the field B of a substrate (edge section) are hard to be etched. Therefore, if a break through is performed, the silicon oxide content layer on the front face of a side attachment wall of the resist film and silyl ghost content layer in the edge section (field B) of a substrate will become still thicker relatively to this pattern space (field A) of a substrate, and residue will become is easy to be left behind in Field B.

[0027] Moreover, since the silicon oxide content layer of a resist film side-attachment-wall front face and silyl ghost content layer in the edge section (field B) of a substrate are directly formed on substrate layers, such as polish recon, or a substrate, exfoliation becomes still more difficult when adhesion with the substrate etc. is good. Although HMDS (hexamethyldisilane) is in one of the sililation reagents, it is used for the adherence agent of a resist and a substrate substrate, the adhesion force of a silicon oxide content layer and a silyl ghost content layer, a substrate, etc. increases in this case, and this will stop being able to exfoliate easily.

[0028] Moreover, a silicon oxide content layer and a silyl ghost content layer are the resist film (in drawing 19 (k')) of bulk. When formed on resist film 40a of the lower layer of silicon oxide content layer 42b and silyl ghost content layer 42a, Although it is effective in exfoliation removal of the silyl ghost content layer and silicon oxide content layer of the upper layer being carried out by removing previously resist film 40a of a lower layer [the lift-off method] If the direct silyl ghost content layer and the silicon oxide content layer have stuck to the substrate etc., since exfoliation will not be carried out by the lift-off method, it is hard coming to exfoliate.

[0029] Although this pattern space (field A) of a substrate was less than [immersion 10 minute] removable when commercial exfoliation liquid (EKC-270 (EKC Technology, product made from Inc.)) was used in order to actually remove the resist pattern which used and formed the silanizing process on silicon nitride, even if the edge section (field B) of a substrate was immersed for 60 minutes, it could not be removed, but residue remained.

[0030] Moreover, although this pattern space (field A) of a substrate was removable in 30

seconds when the above-mentioned silicon oxide content layer and the silyl ghost content layer were removed using quantity-of-gas-flow CHF₃ / O₂ =20/70sccm, the substrate temperature of 20 degrees C, and ECR (electron cycotron resonance) mold plasma etching of bias power 50W, the residue of the edge section (field B) of a substrate was not able to remove even etching for 120 seconds.

[0031] This invention is made in view of the above-mentioned situation, therefore this invention aims at offering the manufacture approach of a semiconductor device and the photolithography approach said resist film is removable, without leaving residue in the edge section of a substrate, when carrying out pattern processing of the resist film on a substrate according to a silanizing process.

[0032]

[Means for Solving the Problem] In order to attain the above-mentioned purpose, the manufacture approach of the semiconductor device of this invention Even if there is little substrate which has the 2nd field which is the periphery section of the 1st field and the 1st field concerned, it sets to the 1st field. Are the manufacture approach of the semiconductor device processed into a predetermined pattern, and the processed layer formed in said substrate is set to said 1st field and said 2nd field. In the process which forms the resist film in the whole surface at the upper layer of the processed layer formed in the substrate, and said 1st field In the process which exposes said resist film along with a predetermined pattern, and forms the bridge formation section and the section non-conducting a bridge in the surface part of said resist film along with said pattern, and said 2nd field In the process which forms the bridge formation section in a surface part including the side-attachment-wall front face of said resist film, and said 1st field In the process of said section non-conducting a bridge which forms a silyl ghost content layer in a surface part at least, and said 1st field In the process which forms a silicon oxide content layer in a surface part at least, and said 1st field and said 2nd field of said silyl ghost content layer In the process which processes said resist film along with said pattern by using said silicon oxide content layer as a mask, and said 1st field and said 2nd field It has the process which processes said processed layer by using as a mask said silicon oxide content layer or said resist film by which pattern processing was carried out.

[0033] The manufacture approach of the semiconductor device of above-mentioned this invention forms the resist film in the whole surface at the upper layer of the processed layer formed in the substrate in the 1st field of a substrate and the 2nd field which have the 1st field and the 2nd field which is the periphery section. Next, in the 1st field, the resist film is exposed along with a predetermined pattern, along with a pattern, the bridge formation section and the section non-conducting a bridge are formed in the surface part of the resist film, and the bridge formation section is formed in the surface part which includes the side-attachment-wall front face of the resist film in the 2nd field. Next, even if there is little section non-conducting a bridge in the 1st field, a silyl ghost content layer is formed in a surface part, and even if there are few silyl ghost content layers, a silicon oxide content layer is formed in a surface part. Next, a silicon oxide content layer is used as a mask in the 1st field and the 2nd field, the resist film is processed along with a pattern and a processed layer is further processed by using as a mask a silicon oxide content layer or the resist film by which pattern processing was carried out.

[0034] When carrying out pattern processing of the resist film on a substrate according to a silanizing process according to the manufacture approach of the semiconductor device of above-mentioned this invention Since the bridge formation section is formed in the surface part which includes the side-attachment-wall front face of the resist film in the 2nd field before [the section formed into the resist film non-conducting a bridge] forming a silyl ghost content layer in a surface part at least, a silyl ghost content layer is not formed here, therefore a silicon oxide content layer is not formed, either. For this reason, the resist film can be removed easily, without leaving residue in the 2nd field (edge section) of a substrate.

[0035] The manufacture approach of the semiconductor device of above-mentioned this invention suitably The resist film which forms the bridge formation section is used for an exposed part as said resist film. In the process which forms the bridge formation section and the section non-conducting a bridge in the surface part of said resist film along with said pattern in

said 1st field The bridge formation section is formed in the surface part of the exposed part of said resist film according to the process which exposes said resist film along with a predetermined pattern. In the process which forms the bridge formation section in the surface part which makes the surface part of the part except said bridge formation section of said resist film said section non-conducting a bridge, and includes the side-attachment-wall front face of said resist film in said 2nd field The bridge formation section is formed in a surface part including the side-attachment-wall front face of said resist film according to the process which exposes said resist film. Thereby, it can consider as the silanizing process of a positive type of leaving a pattern to a part for the unexposed part of the resist film.

[0036] The manufacture approach of the semiconductor device of above-mentioned this invention suitably When exposure and bridge formation processing are performed as said resist film, the section non-conducting a bridge is formed in an exposed part. In the process which uses the resist film which forms the bridge formation section in a part for an unexposed part, and forms the bridge formation section and the section non-conducting a bridge in the surface part of said resist film along with said pattern in said 1st field According to the process which exposes said resist film along with a predetermined pattern, and the process which performs bridge formation processing Form the section non-conducting a bridge in the surface part of the exposed part of said resist film, and the bridge formation section is formed in the surface part of the part except said section of said resist film non-conducting a bridge. In the process which forms the bridge formation section in the surface part which includes the side-attachment-wall front face of said resist film in said 2nd field, the bridge formation section is formed in a surface part including the side-attachment-wall front face of said resist film according to the process which performs bridge formation processing to said resist film. Thereby, it can consider as the silanizing process of a negative mold of leaving a pattern to the exposed part of the resist film.

[0037] The manufacture approach of the semiconductor device of above-mentioned this invention suitably In said 1st field, it sets at the process of said silyl ghost content layer which forms a silicon oxide content layer in a surface part at least. said silyl ghost content layer — in said 1st field and said 2nd field, said resist film is processed into coincidence along with said pattern by using said silicon oxide content layer as a mask, forming a silicon oxide content layer in a surface part at least. For example, by performing plasma treatment which contains oxygen in material gas, in the process, the 1st field, and the 2nd field of a silyl ghost content layer which form a silicon oxide content layer in a surface part at least, the process which processes the resist film along with a pattern by using a silicon oxide content layer as a mask can be performed to coincidence as a dry development, and a process can be simplified.

[0038] In order to attain the above-mentioned purpose, moreover, the manufacture approach of the semiconductor device of this invention Even if there is little substrate which has the 2nd field which is the periphery section of the 1st field and the 1st field concerned, it sets to the 1st field. Are the manufacture approach of the semiconductor device processed into a predetermined pattern, and the processed layer formed in said substrate is set to said 1st field and said 2nd field. In the process which forms the resist film in the whole surface at the upper layer of the processed layer formed in the substrate, and said 1st field In the process which exposes said resist film along with a predetermined pattern, and forms the bridge formation section and the section non-conducting a bridge in the surface part of said resist film along with said pattern, and said 2nd field In the process which forms the section non-conducting a bridge in a surface part including the side-attachment-wall front face of said resist film, and said 1st field and said 2nd field In the process of said section non-conducting a bridge which forms a silyl ghost content layer in a surface part at least, and said 2nd field With the process which removes said silyl ghost content layer formed in the surface part of said resist film which includes a side-attachment-wall front face at least, it sets to said 1st field at least. In the process which forms a silicon oxide content layer in a surface part at least, and said 1st field and said 2nd field of said silyl ghost content layer In the process which processes said resist film along with said pattern by using said silicon oxide content layer as a mask, and said 1st field and said 2nd field It has the process which processes said processed layer by using as a mask said

silicon oxide content layer or said resist film by which pattern processing was carried out.

[0039] The manufacture approach of the semiconductor device of above-mentioned this invention forms the resist film in the whole surface at the upper layer of the processed layer formed in the substrate in the 1st field of a substrate and the 2nd field which have the 1st field and the 2nd field which is the periphery section. Next, in the 1st field, the resist film is exposed along with a predetermined pattern, along with said pattern, the bridge formation section and the section non-constructing a bridge are formed in the surface part of the resist film, and the section non-constructing a bridge is formed in the surface part which includes the side-attachment-wall front face of the resist film in the 2nd field. Next, in the 1st field and the 2nd field, even if there is little section non-constructing a bridge, a silyl ghost content layer is formed in a surface part. Next, in the 2nd field, the silyl ghost content layer formed in the surface part of the resist film which includes a side-attachment-wall front face at least is removed. next — at least — the 1st field — setting — a silyl ghost content layer — a silicon oxide content layer is formed in a surface part at least, a silicon oxide content layer is used as a mask in the 1st field and the 2nd field, the resist film is processed along with said pattern, and a processed layer is further processed by using as a mask a silicon oxide content layer or the resist film by which pattern processing was carried out.

[0040] When carrying out pattern processing of the resist film on a substrate according to a silanizing process according to the manufacture approach of the semiconductor device of above-mentioned this invention Since the silyl ghost content layer formed in the surface part which includes the side-attachment-wall front face of the resist film in the 2nd field is removed before forming a silicon oxide content layer in the surface part of the silyl ghost content layer formed into the resist film therefore, a silicon oxide content layer is not formed here. For this reason, the resist film can be removed easily, without leaving residue in the 2nd field (edge section) of a substrate.

[0041] The manufacture approach of the semiconductor device of above-mentioned this invention suitably The resist film which forms the bridge formation section is used for an exposed part as said resist film. In the process which forms the bridge formation section and the section non-constructing a bridge in the surface part of said resist film along with said pattern in said 1st field According to the process which exposes said resist film along with a predetermined pattern, the bridge formation section is formed in the surface part of the exposed part of said resist film, and let the surface part of the part except said bridge formation section of said resist film be said section non-constructing a bridge. Thereby, it can consider as the silanizing process of a positive type of leaving a pattern to a part for the unexposed part of the resist film.

[0042] The manufacture approach of the semiconductor device of above-mentioned this invention suitably When exposure and bridge formation processing are performed as said resist film, the section non-constructing a bridge is formed in an exposed part. In the process which uses the resist film which forms the bridge formation section in a part for an unexposed part, and forms the bridge formation section and the section non-constructing a bridge in the surface part of said resist film along with said pattern in said 1st field According to the process which exposes said resist film along with a predetermined pattern, and the process which performs bridge formation processing Form the section non-constructing a bridge in the surface part of the exposed part of said resist film, and the bridge formation section is formed in the surface part of the part except said section of said resist film non-constructing a bridge. In the process which forms the section non-constructing a bridge in the surface part which includes the side-attachment-wall front face of said resist film in said 2nd field, the section non-constructing a bridge is formed in a surface part including the side-attachment-wall front face of said resist film according to the process exposed on said resist film, and the process which performs bridge formation processing. Thereby, it can consider as the silanizing process of a negative mold of leaving a pattern to the exposed part of the resist film.

[0043] The manufacture approach of the semiconductor device of above-mentioned this invention suitably In said 1st field, it sets at the process of said silyl ghost content layer which forms a silicon oxide content layer in a surface part at least. said silyl ghost content layer — in said 1st field and said 2nd field, said resist film is processed into coincidence along with said

pattern by using said silicon oxide content layer as a mask, forming a silicon oxide content layer in a surface part at least. For example, by performing plasma treatment which contains oxygen in material gas, in the process, the 1st field, and the 2nd field of a silyl ghost content layer which form a silicon oxide content layer in a surface part at least, the process which processes the resist film along with a pattern by using a silicon oxide content layer as a mask can be performed to coincidence as a dry development, and a process can be simplified.

[0044] The manufacture approach of the semiconductor device of above-mentioned this invention trickles resist film exfoliation liquid into the surface part of said resist film of said 2nd field which includes a side-attachment-wall front face at least in the process which removes suitably said silyl ghost content layer formed in the surface part of said resist film which includes a side-attachment-wall front face at least in said 2nd field. The silyl ghost content layer easily formed in the surface part of the resist film which includes a side-attachment-wall front face at least by this is removable.

[0045] In order to attain the above-mentioned purpose, the photolithography approach of this invention Even if there is little substrate which has the 2nd field which is the periphery section of the 1st field and the 1st field concerned, it sets to the 1st field. Are the photolithography approach which forms the resist film of a predetermined pattern in said substrate, and it sets to said 1st field and said 2nd field. In the process which forms the resist film in the whole surface at a substrate, and said 1st field In the process which exposes said resist film along with a predetermined pattern, and forms the bridge formation section and the section non-constructing a bridge in the surface part of said resist film along with said pattern, and said 2nd field In the process which forms the bridge formation section in a surface part including the side-attachment-wall front face of said resist film, and said 1st field In the process of said section non-constructing a bridge which forms a silyl ghost content layer in a surface part at least, and said 1st field It has the process of said silyl ghost content layer which forms a silicon oxide content layer in a surface part at least, and the process which processes said resist film along with said pattern in said 1st field and said 2nd field by using said silicon oxide content layer as a mask.

[0046] In order to attain the above-mentioned purpose, moreover, the photolithography approach of this invention Even if there is little substrate which has the 2nd field which is the periphery section of the 1st field and the 1st field concerned, it sets to the 1st field. Are the photolithography approach which forms the resist film of a predetermined pattern in said substrate, and it sets to said 1st field and said 2nd field. In the process which forms the resist film in the whole surface at a substrate, and said 1st field In the process which exposes said resist film along with a predetermined pattern, and forms the bridge formation section and the section non-constructing a bridge in the surface part of said resist film along with said pattern, and said 2nd field In the process which forms the section non-constructing a bridge in a surface part including the side-attachment-wall front face of said resist film, and said 1st field and said 2nd field In the process of said section non-constructing a bridge which forms a silyl ghost content layer in a surface part at least, and said 2nd field With the process which removes said silyl ghost content layer formed in the surface part of said resist film which includes a side-attachment-wall front face at least, it sets to said 1st field at least. It has the process of said silyl ghost content layer which forms a silicon oxide content layer in a surface part at least, and the process which processes said resist film along with said pattern in said 1st field and said 2nd field by using said silicon oxide content layer as a mask.

[0047] When carrying out pattern formation of the resist film on a substrate according to a silanizing process, the photolithography approach of above-mentioned this invention does not form a silyl ghost content layer in the side-attachment-wall front face of the resist film of the 2nd field beforehand by exposure processing, or even if it forms, before it forms a silicon oxide content layer in the surface part of a silyl ghost content layer, it will remove the silyl ghost content layer on the front face of a side attachment wall of the resist film of the 2nd field, respectively. Therefore, a silicon oxide content layer is not formed in the 2nd field. For this reason, the resist film can be removed easily, without leaving residue in the 2nd field (edge section) of a substrate.

[0048]

[Embodiment of the Invention] Below, the gestalt of operation of this invention is explained with reference to a drawing.

[0049] 1st operation gestalt drawing 1 is the top view of (a) semi-conductor substrate after the transistor formation process of the manufacture approach of a semiconductor device of having an MOS transistor concerning this operation gestalt, and the sectional view of the field near the edge of the (b) aforementioned semi-conductor substrate. The field A which is the 1st field is this pattern space in which the above-mentioned MOS transistor is formed. For example, on the active region separated by the isolation insulator layer 20 of the STI (Shallow Trench Isolation) mold on the semi-conductor substrate 10, the gate dielectric film 21 which consists of silicon oxide is formed, and gate electrode 30a of for example, polish recon is formed in the upper layer. Moreover, into the semi-conductor base 10 in the both-sides section of gate electrode 30a, the source drain field 11 which is the diffusion layer of a conductive impurity is formed. The MOS transistor is constituted as mentioned above.

[0050] On the other hand, the field B which is the 2nd field is the edge section of a semi-conductor substrate, and is equivalent to the periphery section of Field A. Although Field B is a field which does not have the perfect circuit pattern and it is not necessary to form a semiconductor device in this field essentially, the diffusion layer 12 of a conductive impurity is formed on a production process and into the semi-conductor substrate 10.

[0051] The production process of the manufacture approach until it results in the structure shown in above-mentioned drawing 1 is explained. First, as shown in drawing 2 (a), the isolation insulator layer of a STI mold is formed in the field A of the silicon semi-conductor substrate 10 (this pattern space).

[0052] Next, as shown in drawing 2 (b), in Field A and Field B (edge section), the oxidation silicone film 21 of 3nm thickness is formed in the whole surface by the oxidizing [thermally] method. In Field A, the silicon oxide film 21 turns into gate dielectric film of a transistor.

[0053] next; it is shown in drawing 2 (c) — as — for example, CVD (Chemical Vapor Deposition) — the polish recon layer 30 is made to deposit on the whole surface in 150nm thickness in Field A and Field B by law In Field A, the polish recon layer 30 is a layer used as the gate electrode of a transistor.

[0054] In subsequent processes, pattern formation of the resist film used as the mask of a gate pattern is carried out according to the silanizing process of a positive type. First, as shown in drawing 3 (d), in Field A and Field B, the resist film 40 for the silanizing processes of a polyvinyl phenol system is formed in the whole surface by 700nm thickness for example, by rotation spreading at the upper layer of the polish recon layer 30. Next, 100 degrees C and the Puri BEKU processing of the conditions for 60 seconds are performed, for example.

[0055] Next, as shown in drawing 3 (e), 5mm minute is exposed from the periphery in Field B with the light LE (190nm or more of wavelength fields) in which the deuterium lamp with which the resist coater is equipped emits light. In the exposed part which is a surface part including the side-attachment-wall front face of the resist film 40, the bridge formation section 41 is formed of optical crosslinking reaction.

[0056] Next, as shown in drawing 3 (f), in Field A, the pattern section carries out the repeat exposure imprint of the pattern light LP of a positive image for ArF excimer laser serially all over resist film 40 using the projection aligner of reduction percentage 1/4 using the exposure light source (exposure wavelength is 193nm) by using as a mask the — mask (mask which leaves a part for an unexposed part as a gate pattern) MP of the gate layer of the positive type which consists of Cr(s). The molecule in the surface part of the resist film 40 of an exposed part forms a lifting and the bridge formation section 41 for crosslinking reaction. Along with a pattern, the bridge formation section and the section non-constructing a bridge are formed in the surface part of the resist film, and, on the other hand, the bridge formation section is formed [in / as mentioned above / Field A] in the surface part which includes the side-attachment-wall front face of the resist film in Field B.

[0057] Next, as shown in drawing 4 (g), it is exposed for 60 seconds into the silyl ghosts S, such as DMSDMA (dimethylsilyldimethylamine) of the gaseous phase of 30Torr(s), under the

temperature of 90 degrees C. At this time, in the surface part of the resist film 40 which is the section non-conducting a bridge, the silyl ghost S is spread alternatively, and the silyl ghost content layer 42 is formed. Even if the diffusion process of this sililation reagent is immersed into the sililation reagent of the liquid phase, it is possible.

[0058] next, it is shown in drawing 4 (h) — as — for example, the plasma etching system of a TCP (transformer coupled plasma) mold — using — O₂-SO₂ of the conditions of (processing temperature =10 degree C, processing pressure force =5mTorr, flow rate =160/30sccm of O₂ / SO₂, TCP power =500W, bias power =100W) Anisotropic etching is performed by system plasma etching. At this time, the silicon in the silyl ghost content layer 42 and the oxygen in etching gas E1 join together, it is alternatively formed in the surface of the silyl ghost content layer 42 by the thickness whose silicon oxide (SiOX) content layer 42b is 20nm, and the field except silicon oxide content layer 42b is set to silyl ghost content layer 42a. Moreover, in the above-mentioned plasma etching, silicon oxide content layer 42b becomes a mask, the resist film (40 41) of an exposed part is etched, and resist film 40a of a gate pattern is formed.

[0059] In the above-mentioned plasma-etching process, when gate length becomes substandard, or when superposition precision with a substrate layer becomes substandard, the resist film is exfoliated and the formation process of the above-mentioned resist film or subsequent ones is repeated. As exfoliation processing of this resist film, the plasma etching system of a TCP mold is used, for example. CHF₃-O₂ of the conditions of (processing temperature =0 degree C, processing pressure force =5mTorr, CHF₃ / flow rate =10/50sccm of O₂, TCP power =500W, bias power =100W) By system plasma etching Anisotropic etching is performed for 15 seconds and silicon oxide content layer 42b and silyl ghost content layer 42a are exfoliated. Next, O₂ Ashing removal of the resist film 40a of the bulk remaining by plasma treatment is carried out, and it is H₂SO₂/H₂ O₂ further. After treatment is carried out with a solution.

[0060] When a resist pattern is able to form proper As shown in drawing 4 (i), silicon oxide content layer 42b or resist film 40a is used as a mask using the plasma etching system of an ECR mold. as the 1st step — Cl₂-O₂ as system plasma-etching processing and the 2nd step — HBr-O₂ System plasma-etching processing is performed, etching gas E2 is hit to a substrate side, the gate dielectric film 21 of gate electrode 30a of polish recon and silicon oxide is boiled, and etching processing is carried out. as this etching condition — for example (substrate temperature =20 degree C, processing pressure force = 0.5Pa, Cl₂ / O₂ / flow rate =15/5/95sccm of HBr, bias RF power =25W) — ** — it carries out.

[0061] Next, as shown in drawing 5 (j), the plasma etching system of a TCP mold is used. CHF₃-O₂ of the conditions of (processing temperature =0 degree C, processing pressure force =5mTorr, CHF₃ / flow rate =10/50sccm of O₂, TCP power =500W, bias power =100W) By system plasma etching Anisotropic etching is performed for 15 seconds and silicon oxide content layer 42b and silyl ghost content layer 42a are exfoliated. Next, O₂ Ashing removal of the resist film 40a of the bulk remaining by plasma treatment is carried out, and it is H₂ SO₂/H₂ O₂ further. After treatment is carried out with a solution.

[0062] Next, the conductive impurity of a conductivity type which is [in / Field A] different from the conductivity type of the semi-conductor substrate 10 as shown in drawing 5 (k) (when a substrate is p mold) When n mold impurities, such as Lynn, and a substrate are n molds, the ion implantation of the p mold impurities, such as boron, is carried out using gate electrode 30a as a mask, and the source drain field 11 which is the diffusion layer of a conductive impurity is formed into the semi-conductor substrate 10 in the both-sides section of gate electrode 30a. At this time, the diffusion layer 12 of a conductive impurity is formed also in Field B. By the resist film etc., the mask of the field B can be carried out and it can also carry out an ion implantation to Field A alternatively. Above, it results in the structure shown in drawing 1.

[0063] In the manufacture approach of the semiconductor device of this above-mentioned operation gestalt When carrying out pattern processing of the resist film on a substrate according to the silanizing process of a positive type Since the bridge formation section is formed in the surface part which includes the side-attachment-wall front face of the resist film in Field B before [the section formed into the resist film non-conducting a bridge] forming a silyl ghost content layer in a surface part at least, a silyl ghost content layer is not formed here,

therefore a silicon oxide content layer is not formed, either. For this reason, the resist film can be removed easily, without leaving residue in the field B of a substrate (edge section).

[0064] In the manufacture approach of the semiconductor device of this above-mentioned operation gestalt, instead of using the deuterium lamp with which the resist coater is equipped as exposure in the field B of a substrate, it exposes using what branched the ArF excimer laser light which is the exposure light source of an exposure machine, or the aligner only for edge section exposure of the substrate carrying a deuterium lamp etc. can be used. Moreover, the chemistry magnification mold resist which consists of the cross linking agents and novolak resin of a melamine derivative which construct a bridge with an acid generator and an acid can be used instead of using the resist of a polyvinyl phenol system. In this case, a substrate is heated for 60 seconds at the processing temperature of 110 degrees C, the acid generated into the exposed part is diffused, and a cross linking agent makes novolak resin construct a bridge by the reaction with an acid. Moreover, the mercury xenon lamp (220nm – 440nm of wavelength regions) currently used for the existing coater developer's edge exposure function can be used in this case instead of using a heavy hydrogen lamp for exposure of the edge section of a substrate. Since the acid in a resist is generated also by the exposure of mercury xenon lamp light, the above-mentioned resist becomes possible [constructing a bridge by the exposure of mercury xenon lamp light].

[0065] The manufacture approach of the semiconductor device concerning the 2nd operation gestalt book operation gestalt is substantially the same in the 1st operation gestalt except for using the silanizing process of a negative mold. First, the isolation insulator layer 20 of a STI mold is formed in the silicon semi-conductor substrate 10, the oxidation silicone film 21 of 3nm thickness is formed in the whole surface in Field A (this pattern space) and Field B (edge section) by the oxidizing [thermally] method, and the polish recon layer 30 is made to deposit on the whole surface in 150nm thickness in Field A and Field B with a CVD method further, as shown in drawing 6 (a). Next, the resist film 40 constituted from naphthoquinonediazide and novolak resin by rotation spreading by 700nm thickness is formed in the whole surface at the upper layer of the polish recon layer 30. Next, 100 degrees C and the Puri BEKU processing of the conditions for 60 seconds are performed, for example.

[0066] Next, as shown in drawing 6 (b), the mask (mask which leaves an exposed part as a gate pattern) MN of the gate layer of the negative mold with which parts other than a pattern serve as a screen which consists of those of Cr in Field A is used as a mask. The repeat exposure imprint of the pattern light LN of a negative image is serially carried out for KrF excimer laser all over resist film 40 using the projection aligner of reduction percentage 1/5 using the exposure light source (exposure wavelength is 248nm). It is made for this field to expose not to start the field B which is the edge section of a substrate, as shown in drawing 6 (b).

[0067] By the above-mentioned exposure, it decomposes, naphthoquinonediazide serves as an indene ketene in an exposed part, and it becomes an indene carboxylic acid by existence of water. Next, the decarboxylation of an indene carboxylic acid starts a substrate by performing heat-treatment for 90 seconds at 110 degrees C. On the other hand, in a part for an unexposed part, naphthoquinonediazide serves as a ketene and constructs a bridge with novolak resin. Consequently, as shown in drawing 6 (c), the bridge formation section 41 is formed in a part for an unexposed part, and the section 43 non-constructing a bridge is formed in an exposed part. Moreover, in Field B, the whole including the side-attachment-wall front face of the resist film serves as the bridge formation section.

[0068] Next, as shown in drawing 7 (d), it is exposed for 60 seconds into the silyl ghosts S, such as DMSDMA of the gaseous phase of 30Torr(s), under the temperature of 90 degrees C. At this time, in the surface part of the section 43 of the resist film non-constructing a bridge, the silyl ghost S is spread alternatively, and the silyl ghost content layer 42 is formed. Even if the diffusion process of this sililation reagent is immersed into the sililation reagent of the liquid phase, it is possible.

[0069] next, it is shown in drawing 7 (e) — as — for example, the plasma etching system of a TCP mold — using — O₂-SO₂ of the conditions of (processing temperature =10 degree C, processing pressure force =5mTorr, flow rate =160/30sccm of O₂ / SO₂, TCP power =500W,

bias power =100W) Anisotropic etching is performed by system plasma etching. At this time, the silicon in the silyl ghost content layer 42 and the oxygen in etching gas E1 join together, it is alternatively formed in the surface of the silyl ghost content layer 42 by the thickness whose silicon oxide (SiOX) content layer 42b is 20nm, and the field except silicon oxide content layer 42b is set to silyl ghost content layer 42a. Moreover, in the above-mentioned plasma etching, silicon oxide content layer 42b becomes a mask, the bridge formation section 41 which is the resist film for an unexposed part is etched, and resist film 41a of a gate pattern is formed.

[0070] next, it is shown in drawing 7 (f) — as — for example, the plasma etching system of an ECR mold — using — silicon oxide content layer 42b or resist film 40a — a mask — carrying out — as the 1st step — Cl₂-O₂ HBr-O₂ system plasma-etching processing is performed as system plasma-etching processing and the 2nd step, etching gas E2 is hit to a substrate side, the gate dielectric film 21 of gate electrode 30a of polish recon and silicon oxide is boiled, and etching processing is carried out. as this etching condition — for example (substrate temperature =20 degree C, processing pressure force = 0.5Pa, Cl₂ / O₂ / flow rate =15/5/95sccm of HBr, bias RF power =25W) — ** — it carries out.

[0071] Next, as shown in drawing 8 (g), the plasma etching system of a TCP mold is used. CHF₃-O₂ of the conditions of (processing temperature =0 degree C, processing pressure force =5mTorr, CHF₃ / flow rate =10/50sccm of O₂, TCP power =500W, bias power =100W) By system plasma etching Anisotropic etching is performed for 15 seconds and silicon oxide content layer 42b and silyl ghost content layer 42a are exfoliated. Next, O₂ Ashing removal of the resist film 40a of the bulk remaining by plasma treatment is carried out, and it is H₂ SO₂/H₂ O₂ further. After treatment is carried out with a solution.

[0072] Next, the conductive impurity of a conductivity type which is [in / Field A] different from the conductivity type of the semi-conductor substrate 10 as shown in drawing 8 (h) (when a substrate is p mold) When n mold impurities, such as Lynn, and a substrate are n molds, the ion implantation of the p mold impurities, such as boron, is carried out using gate electrode 30a as a mask, and the source drain field 11 which is the diffusion layer of a conductive impurity is formed into the semi-conductor substrate 10 in the both-sides section of gate electrode 30a. At this time, the diffusion layer 12 of a conductive impurity is formed also in Field B. By the resist film etc., the mask of the field B can be carried out and it can also carry out an ion implantation to Field A alternatively. It results in the structure shown in the same drawing 1 as the 1st operation gestalt above.

[0073] In the manufacture approach of the semiconductor device of this above-mentioned operation gestalt When carrying out pattern processing of the resist film on a substrate according to the silanizing process of a negative mold Since the bridge formation section is formed in the surface part which includes the side-attachment-wall front face of the resist film in Field B before [the section formed into the resist film non-constructing a bridge] forming a silyl ghost content layer in a surface part at least, a silyl ghost content layer is not formed here, therefore a silicon oxide content layer is not formed, either. For this reason, the resist film can be removed easily, without leaving residue in the field B of a substrate (edge section).

[0074] 3rd operation gestalt drawing 9 is the top view of (a) semi-conductor substrate after the transistor formation process of the manufacture approach of a semiconductor device of having an MOS transistor concerning this operation gestalt, and the sectional view of the field near the edge of the (b) aforementioned semi-conductor substrate. Field A is this pattern space in which the above-mentioned MOS transistor is formed. For example, on the active region separated by the isolation insulator layer 20 of the STI mold on the semi-conductor substrate 10, the gate dielectric film 21 which consists of silicon oxide is formed, and gate electrode 30a of for example, polish recon is formed in the upper layer. Moreover, into the semi-conductor base 10 in the both-sides section of gate electrode 30a, the source drain field 11 which is the diffusion layer of a conductive impurity is formed. The MOS transistor is constituted as mentioned above.

[0075] On the other hand, Field B is the edge section of a semi-conductor substrate, and is equivalent to the periphery section of Field A. Although Field B is a field which does not have the perfect circuit pattern and it is not necessary to form a semiconductor device in this field essentially, polish recon layer 30b is formed on a production process, and the diffusion layer 12

of a conductive impurity is formed into the semi-conductor substrate 10.

[0076] The production process of the manufacture approach until it results in the structure shown in above-mentioned drawing 9 is explained. First, the isolation insulator layer 20 of a STI mold is formed in the silicon semi-conductor substrate 10, the oxidation silicone film 21 of 3nm thickness is formed in the whole surface in Field A (this pattern space) and Field B (edge section) by the oxidizing [thermally] method, and the polish recon layer 30 is made to deposit on the whole surface in 150nm thickness in Field A and Field B with a CVD method further, as shown in drawing 10 (a). Next, the resist film 40 for the silanizing processes of a polyvinyl phenol system is formed in the whole surface by 700nm thickness for example, by rotation spreading at the upper layer of the polish recon layer 30. Next, 100 degrees C and the Puri BEKU processing of the conditions for 60 seconds are performed, for example.

[0077] Next, as shown in drawing 10 (b), in Field A, the pattern section carries out the repeat exposure imprint of the pattern light LP of a positive image for ArF excimer laser serially all over resist film 40 using the projection aligner of reduction percentage 1/4 using the exposure light source (exposure wavelength is 193nm) by using as a mask the - mask (mask which leaves a part for an unexposed part as a gate pattern) MP of the gate layer of the positive type which consists of Cr(s). The molecule in the surface part of the resist film 40 of an exposed part forms a lifting and the bridge formation section 41 for crosslinking reaction. Along with a pattern, the bridge formation section and the section non-constructing a bridge are formed [in / as mentioned above / Field A] in the surface part of the resist film. On the other hand, there is a field B to unexposed one and it makes all of resist film including a side-attachment-wall part the section non-constructing a bridge.

[0078] Next, as shown in drawing 10 (c), it is exposed for 60 seconds into the silyl ghosts S, such as DMSDMA (dimethylsilyldimethylamine) of the gaseous phase of 30Torr(s), under the temperature of 90 degrees C. At this time, in the surface part of the resist film 40 which is the section non-constructing a bridge, the silyl ghost S is spread alternatively, and the silyl ghost content layer 42 is formed. Even if the diffusion process of this sililation reagent is immersed into the sililation reagent of the liquid phase, it is possible. The silyl ghost content layer 42 will be formed in the surface part which includes the side-attachment-wall front face of the resist film in Field B at this time. Although a sililation reagent is diffused only in an one direction from the top face of the resist film, in the side-attachment-wall surface part of the resist film, a sililation reagent is spread on all sides. Consequently, thickness T2 of the silyl ghost content layer 42 formed in a side-attachment-wall front face Thickness T1 of the silyl ghost content layer 42 formed on the top face of the resist film It is formed thickly.

[0079] Next, rotating a substrate 10, as shown in drawing 11 (d), the exfoliation liquid SI of an organic system (for example, trade name EKC-270 (EKC Technology, product made from Inc) or thinner etc.) is dropped at a 5mm field (field B), and the silyl ghost content layer formed at the surface part of the resist film which includes a side-attachment-wall front face at least is removed from the periphery section of a substrate in Field B. The silyl ghost content layer 42 can be removed with the exfoliation liquid of the above organic systems. At this time, the resist film 40 of the dropping field of exfoliation liquid SI is also removed, and it becomes the configuration shown in drawing 11 (e).

[0080] next, it is shown in drawing 11 (f) — as — for example, the plasma etching system of a TCP (transformer coupled plasma) mold — using — O₂-SO₂ of the conditions of (processing temperature =10 degree C, processing pressure force =5mTorr, flow rate =160/30sccm of O₂ / SO₂, TCP power =500W, bias power =100W) Anisotropic etching is performed by system plasma etching. At this time, the silicon in the silyl ghost content layer 42 and the oxygen in etching gas E1 join together, it is alternatively formed in the surface of the silyl ghost content layer 42 by the thickness whose silicon oxide (SiOX) content layer 42b is 20nm, and the field except silicon oxide content layer 42b is set to silyl ghost content layer 42a. Moreover, in the above-mentioned plasma etching, silicon oxide content layer 42b becomes a mask, the resist film (40 41) of an exposed part is etched, and resist film 40a of a gate pattern is formed.

[0081] Next, as shown in drawing 12 (g), silicon oxide content layer 42b or resist film 40a is used as a mask using the plasma etching system of an ECR mold. as the 1st step — Cl₂-O₂ as

system plasma-etching processing and the 2nd step — HBr-O₂ System plasma-etching processing is performed, etching gas E2 is hit to a substrate side, the gate dielectric film 21 of gate electrode 30a of polish recon and silicon oxide is boiled, and etching processing is carried out. as this etching condition — for example (substrate temperature =20 degree C, processing pressure force = 0.5Pa, Cl₂ / O₂ / flow rate =15/5/95sccm of HBr, bias RF power =25W) — ** — it carries out.

[0082] Next, as shown in drawing 12 (h), the plasma etching system of a TCP mold is used. CHF₃-O₂ of the conditions of (processing temperature =0 degree C, processing pressure force =5mTorr, CHF₃ / flow rate =10/50sccm of O₂, TCP power =500W, bias power =100W) By system plasma etching Anisotropic etching is performed for 15 seconds and silicon oxide content layer 42b and silyl ghost content layer 42a are exfoliated. Next, O₂ Ashing removal of the resist film 40a of the bulk remaining by plasma treatment is carried out, and it is H₂ SO₂/H₂ O₂ further. After treatment is carried out with a solution.

[0083] Next, the conductive impurity of a conductivity type which is [in / Field A] different from the conductivity type of the semi-conductor substrate 10 as shown in drawing 12 (i) (when a substrate is p mold) When n mold impurities, such as Lynn, and a substrate are n molds, the ion implantation of the p mold impurities, such as boron, is carried out using gate electrode 30a as a mask, and the source drain field 11 which is the diffusion layer of a conductive impurity is formed into the semi-conductor substrate 10 in the both-sides section of gate electrode 30a. At this time, the diffusion layer 12 of a conductive impurity is formed also in Field B. By the resist film etc., the mask of the field B can be carried out and it can also carry out an ion implantation to Field A alternatively. Above, it results in the structure shown in drawing 9.

[0084] In the manufacture approach of the semiconductor device of this above-mentioned operation gestalt, since the silyl ghost content layer formed in the surface part which includes the side-attachment-wall front face of the resist film in Field B is removed before forming a silicon oxide content layer in the surface part of the silyl ghost content layer formed into the resist film of a positive type therefore, a silicon oxide content layer is not formed here. For this reason, the resist film can be removed easily, without leaving residue in the field B of a substrate (edge section).

[0085] In the manufacture approach of the semiconductor device of this above-mentioned operation gestalt, since the resist film in the field B of a substrate is exfoliated, a fluoric acid water solution can be used instead of using the exfoliation liquid of an organic system. In this case, O₂ which is degree process although only a silyl ghost content layer exfoliates and the resist film is left behind Since the resist film currently formed in the lower layer of the removed silyl ghost content layer of plasma treatment is removed, the same structure as the above-mentioned operation gestalt can be acquired.

[0086] This invention can apply it even to what, if the semiconductor device of MOS transistors, such as DRAM, the semiconductor device of bipolar **, or an A/D converter is the manufacture approach of a semiconductor device of having the process which carries out pattern processing of the photoresist film according to a photolithography process. Furthermore, it is possible to apply as the photolithography approach for imprinting not only the manufacture approach of a semiconductor device but a detailed pattern.

[0087] This invention is not limited to the gestalt of the above-mentioned operation. For example, although the resist film is formed according to the silanizing process as a mask for processing a gate electrode with the operation gestalt, it is applicable to processing of conductive layers other than a gate electrode, the substrate itself, or an insulator layer. In addition, change various in the range which does not deviate from the summary of this invention can be made.

[0088]

[Effect of the Invention] When carrying out pattern formation of the resist film on a substrate according to a silanizing process according to this invention Do not make a silyl ghost content layer form in the side-attachment-wall front face of the resist film of the 2nd field beforehand by exposure processing. Or by removing the silyl ghost content layer on the front face of a side attachment wall of the resist film of the 2nd field, before forming a silicon oxide content layer in

the surface part of a silyl ghost content layer, even if it forms The manufacture approach of a semiconductor device and the photolithography approach the resist film is easily removable can be offered without leaving residue in the 2nd field (edge section) of a substrate.

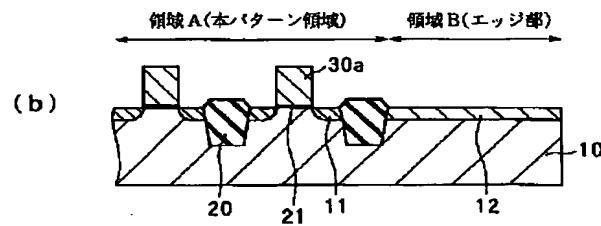
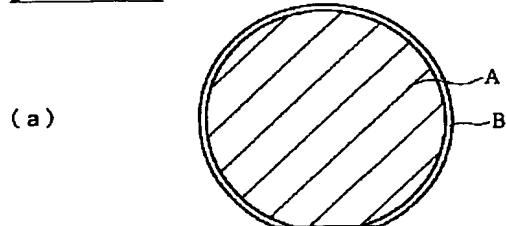
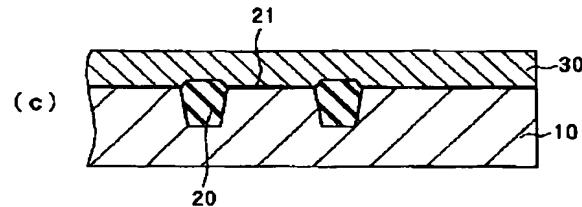
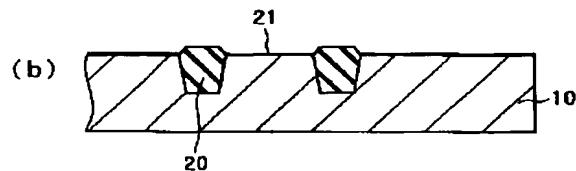
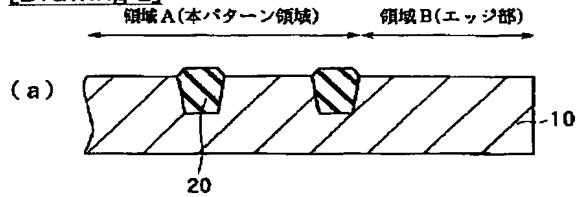
[Translation done.]

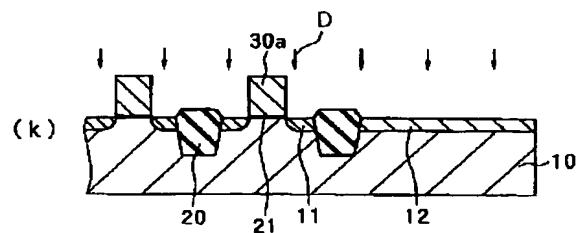
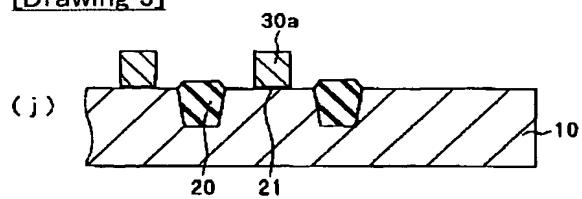
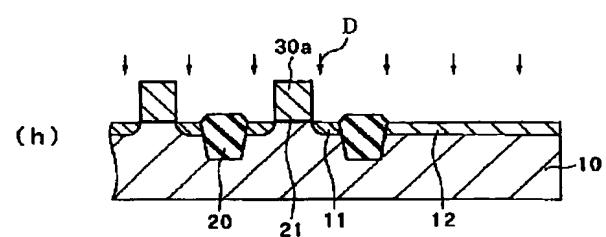
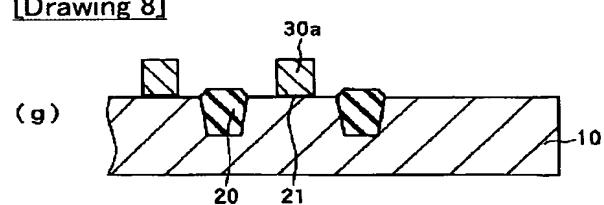
*** NOTICES ***

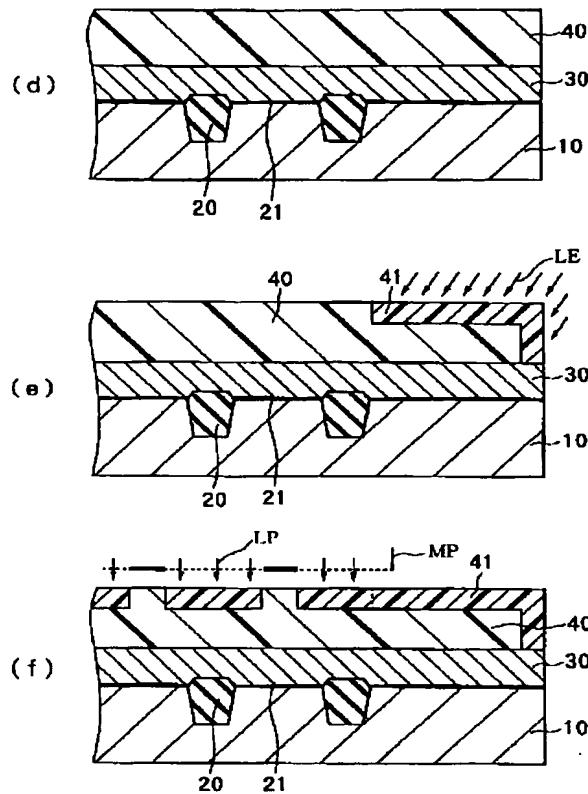
JPO and NCIPI are not responsible for any damages caused by the use of this translation.

1. This document has been translated by computer. So the translation may not reflect the original precisely.
2. **** shows the word which can not be translated.
3. In the drawings, any words are not translated.

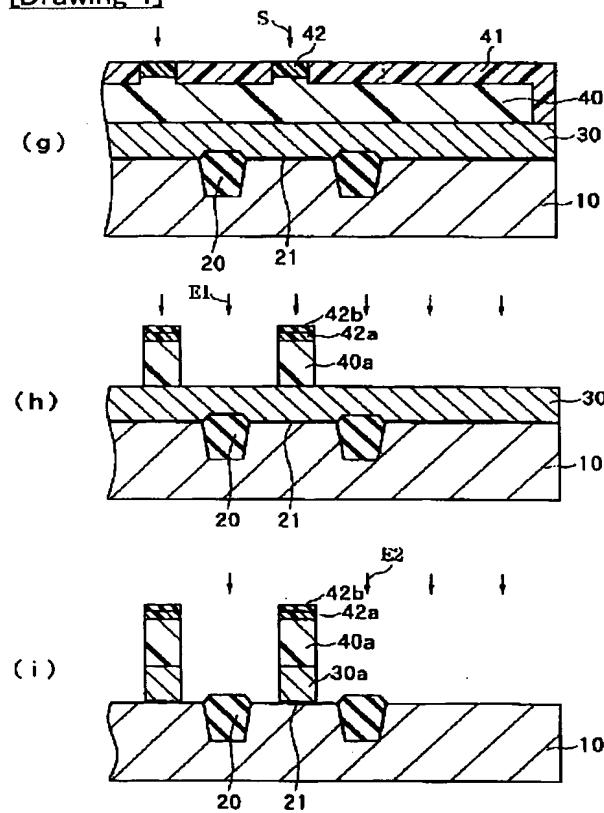
DRAWINGS

[Drawing 1]**[Drawing 2]**

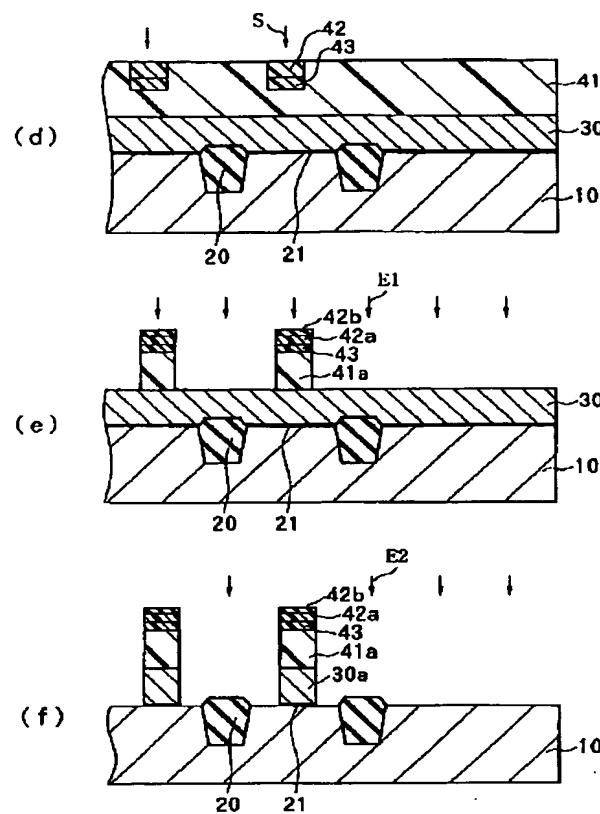
[Drawing 5][Drawing 8][Drawing 3]



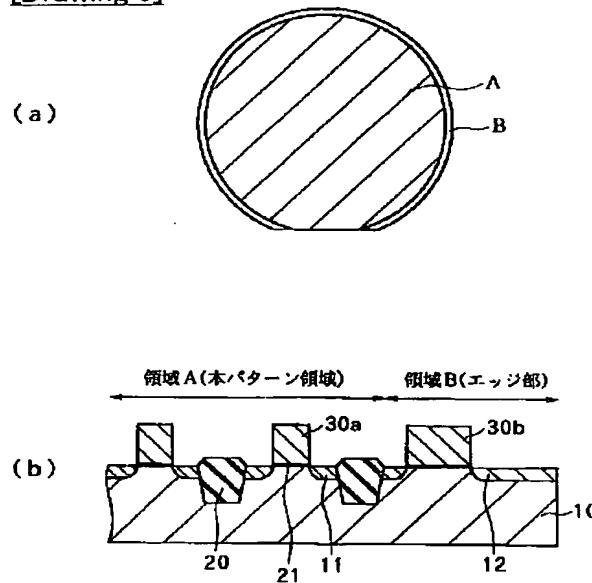
[Drawing 4]



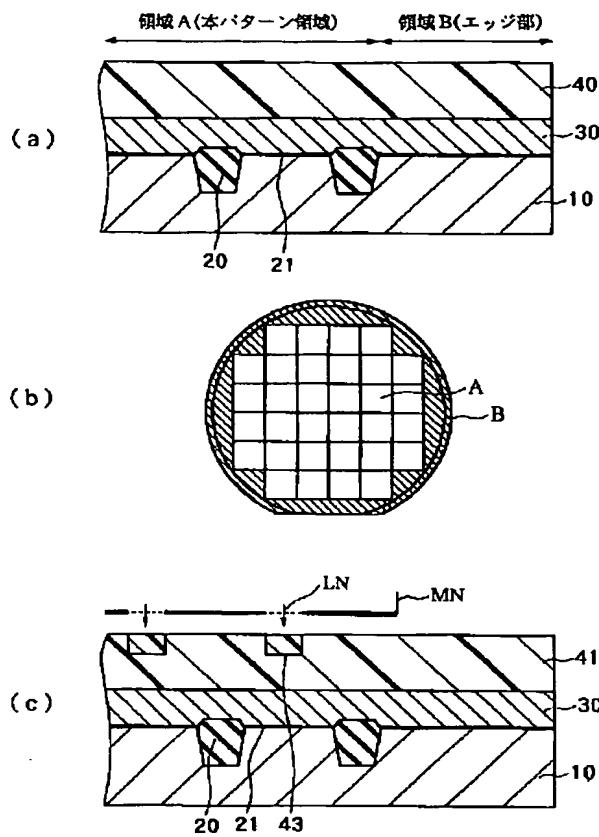
[Drawing 7]



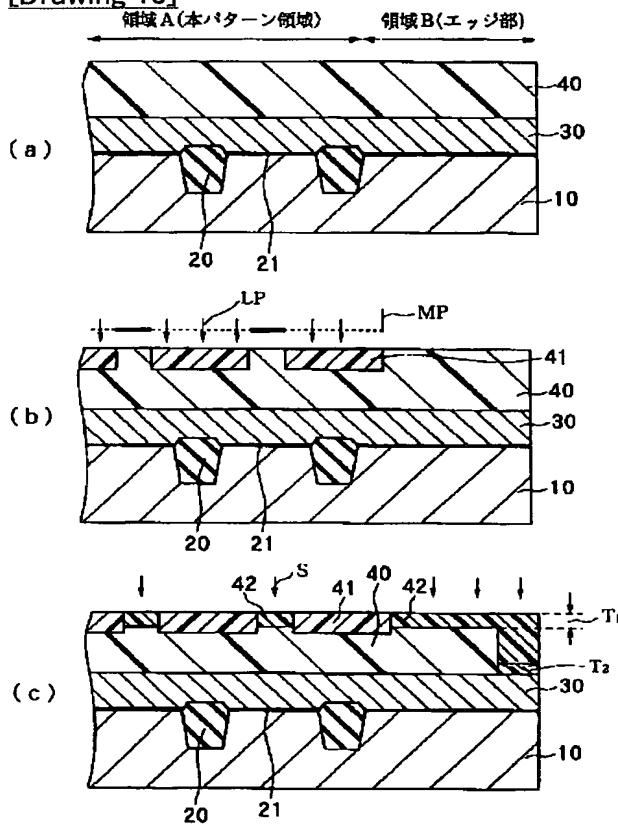
[Drawing 9]



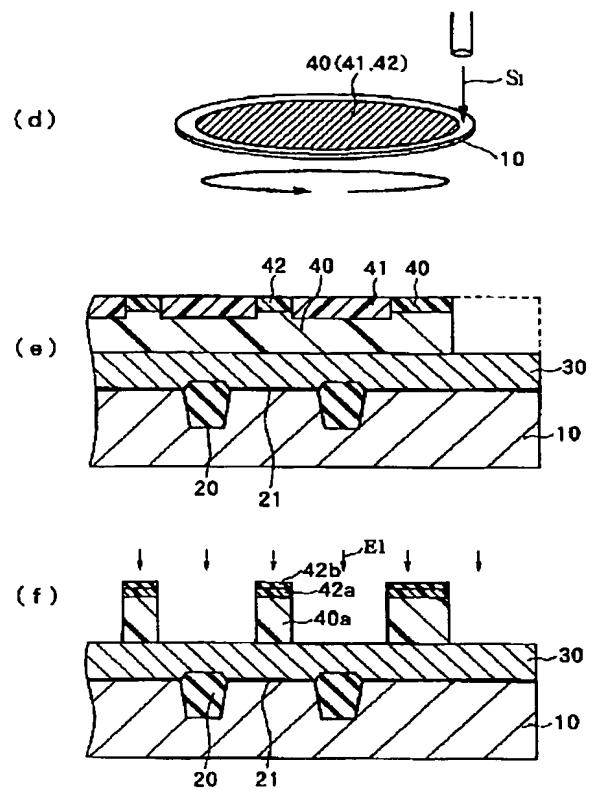
[Drawing 6]



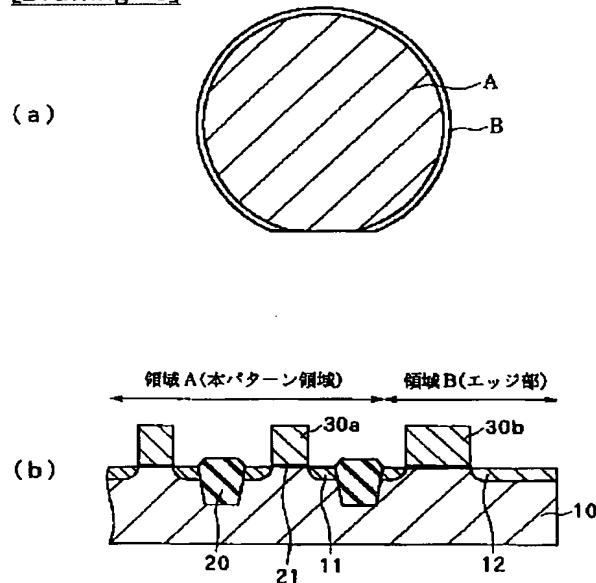
[Drawing 10]



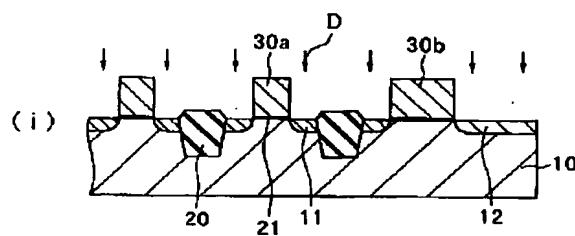
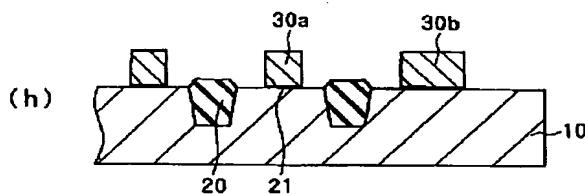
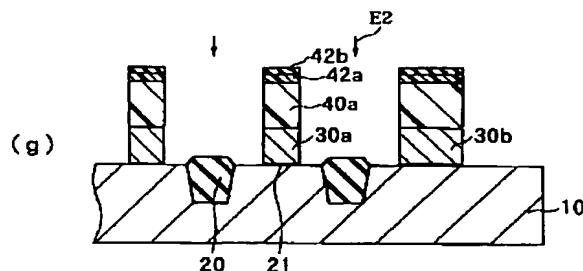
[Drawing 11]



[Drawing 13]

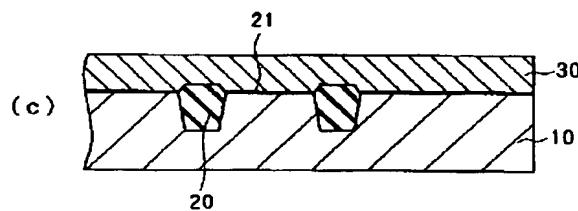
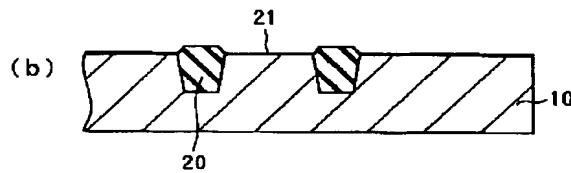
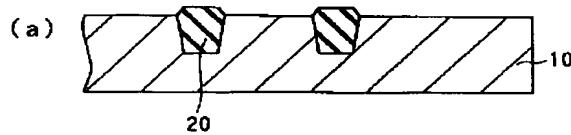


[Drawing 12]

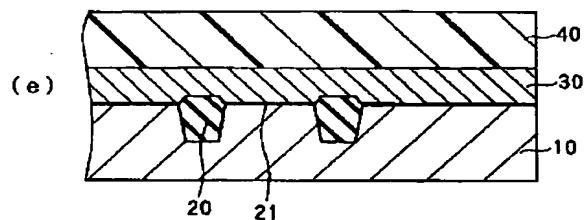
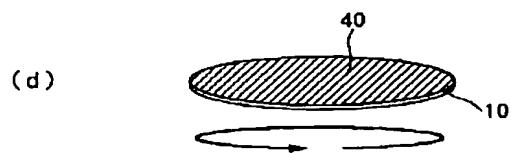


[Drawing 14]

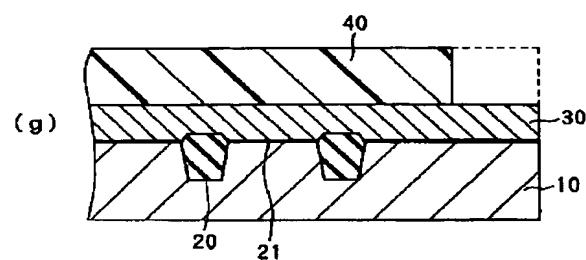
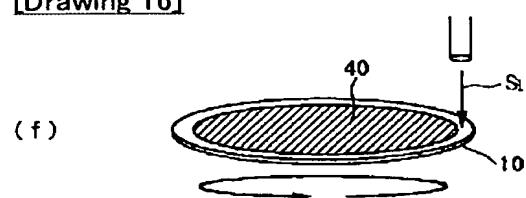
領域A(本パターン領域) 領域B(エッジ部)



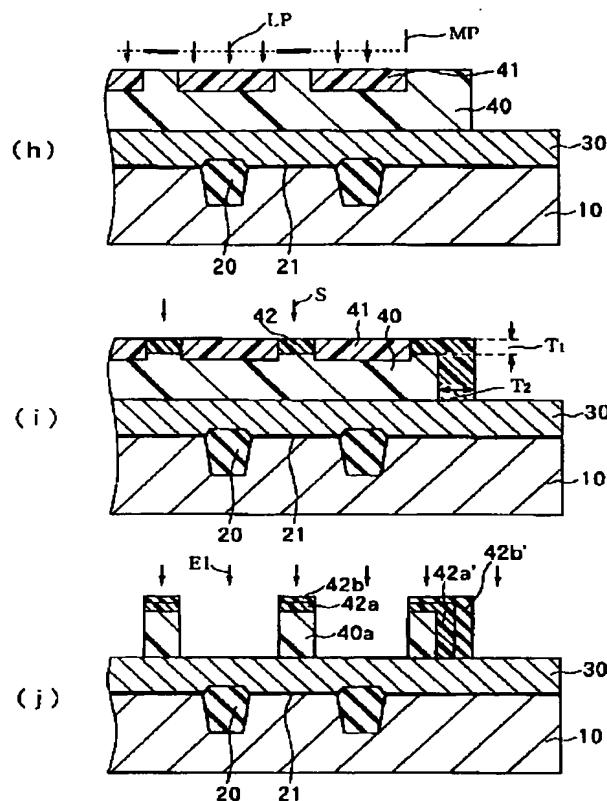
[Drawing 15]



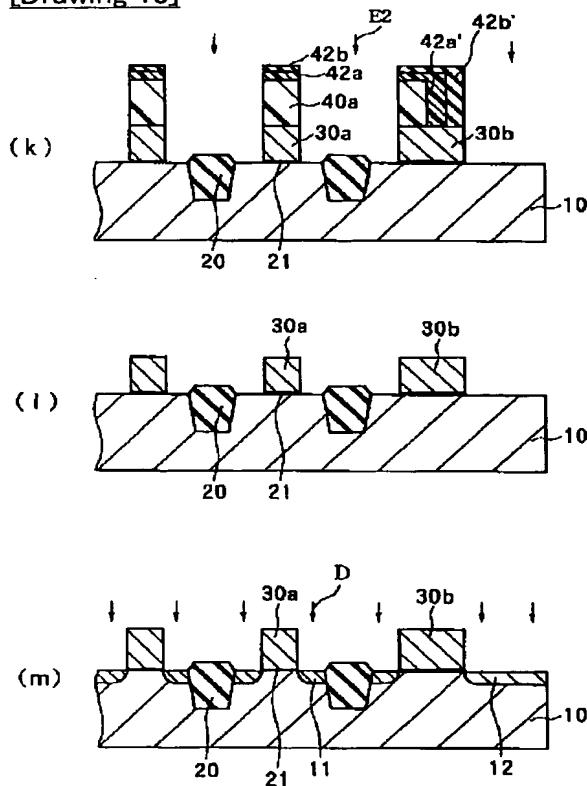
[Drawing 16]



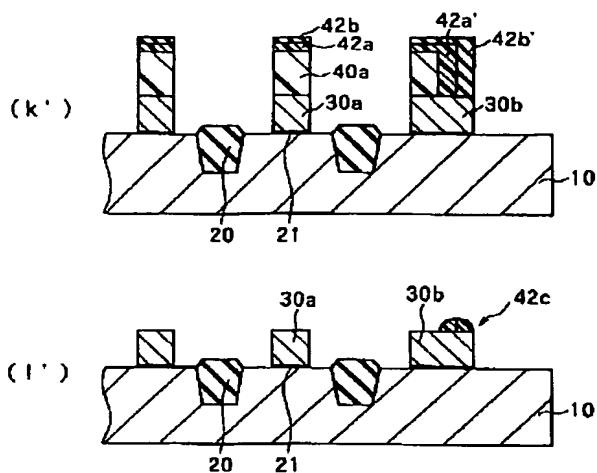
[Drawing 17]



[Drawing 18]



[Drawing 19]



[Translation done.]

(19)日本国特許庁 (JP)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開2000-156339

(P2000-156339A)

(43)公開日 平成12年6月6日(2000.6.6)

(51) Int.Cl. ⁷	識別記号	F I	テマコード*(参考)
H 01 L 21/027		H 01 L 21/30	5 6 8 2 H 0 9 6
G 03 F 7/38	5 1 2	G 03 F 7/38	5 1 2 5 F 0 0 4
7/40	5 2 1	7/40	5 2 1 5 F 0 4 6
H 01 L 21/3065		H 01 L 21/30	5 6 9 H
			5 7 2 A

審査請求 未請求 請求項の数13 OL (全19頁) 最終頁に続く

(21)出願番号 特願平10-331244

(22)出願日 平成10年11月20日(1998.11.20)

(71)出願人 000002185

ソニー株式会社

東京都品川区北品川6丁目7番35号

(72)発明者 竹内 幸一

東京都品川区北品川6丁目7番35号 ソニ
ー株式会社内

(74)代理人 100094053

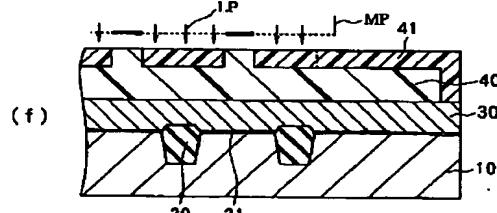
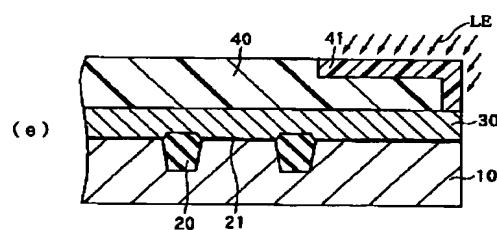
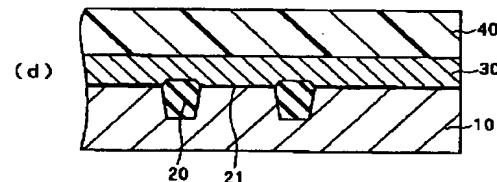
弁理士 佐藤 隆久

(54)【発明の名称】 半導体装置の製造方法およびフォトリソグラフィー方法

(57)【要約】

【課題】シリル化プロセスにより基板上にレジスト膜をパターン加工するときに、基板のエッジ部において残渣を残すことなく前記レジスト膜を除去することができる半導体装置の製造方法およびフォトリソグラフィー方法を提供する。

【解決手段】第1領域とその外周部である第2領域を有する基板の少なくとも第1領域においてシリル化プロセスにより基板に所定のパターンのレジスト膜を形成するときに、露光処理LEにより第2領域のレジスト膜40の側壁表層に架橋部41を形成してレジスト膜の側壁表面にシリル化物含有層を形成しない、あるいは、形成しても酸化シリコン含有層の形成前に除去してしまうことにより、レジスト膜の側壁表面に酸化シリコン含有層が形成されるのを防ぐ。



【特許請求の範囲】

【請求項1】第1領域と当該第1領域の外周部である第2領域を有する基板の少なくとも第1領域において、前記基板に形成された被加工層を所定のパターンに加工する半導体装置の製造方法であって、
 前記第1領域および前記第2領域において、基板に形成された被加工層の上層に全面にレジスト膜を形成する工程と、
 前記第1領域において、前記レジスト膜を所定のパターンに沿って露光し、前記レジスト膜の表層部分に前記パターンに沿って架橋部と非架橋部を形成する工程と、
 前記第2領域において、前記レジスト膜の側壁表面を含む表層部分に架橋部を形成する工程と、
 前記第1領域において、前記非架橋部の少なくとも表層部分にシリル化物含有層を形成する工程と、
 前記第1領域において、前記シリル化物含有層の少なくとも表層部分に酸化シリコン含有層を形成する工程と、
 前記第1領域および前記第2領域において、前記酸化シリコン含有層をマスクとして前記レジスト膜を前記パターンに沿って加工する工程と、
 前記第1領域および前記第2領域において、前記酸化シリコン含有層あるいは前記パターン加工されたレジスト膜をマスクとして前記被加工層を加工する工程とを有する半導体装置の製造方法。

【請求項2】前記レジスト膜として被露光部分に架橋部を形成するレジスト膜を使用し、
 前記第1領域において前記レジスト膜の表層部分に前記パターンに沿って架橋部と非架橋部を形成する工程においては、前記レジスト膜を所定のパターンに沿って露光する工程により、前記レジスト膜の被露光部分の表層部分に架橋部を形成し、前記レジスト膜の前記架橋部を除く部分の表層部分を前記非架橋部とし、
 前記第2領域において前記レジスト膜の側壁表面を含む表層部分に架橋部を形成する工程においては、前記レジスト膜を露光する工程により、前記レジスト膜の側壁表面を含む表層部分に架橋部を形成する請求項1記載の半導体装置の製造方法。

【請求項3】前記レジスト膜として露光および架橋処理を施したときに被露光部分に非架橋部を形成し、未露光部分に架橋部を形成するレジスト膜を使用し、
 前記第1領域において前記レジスト膜の表層部分に前記パターンに沿って架橋部と非架橋部を形成する工程においては、前記レジスト膜を所定のパターンに沿って露光する工程と、架橋処理を施す工程により、前記レジスト膜の被露光部分の表層部分に非架橋部を形成し、前記レジスト膜の前記非架橋部を除く部分の表層部分に架橋部を形成し、
 前記第2領域において前記レジスト膜の側壁表面を含む表層部分に架橋部を形成する工程においては、前記レジスト膜に架橋処理を施す工程により、前記レジスト膜の

側壁表面を含む表層部分に架橋部を形成する請求項1記載の半導体装置の製造方法。

【請求項4】前記第1領域において、前記シリル化物含有層の少なくとも表層部分に酸化シリコン含有層を形成する工程においては、前記シリル化物含有層の少なくとも表層部分に酸化シリコン含有層を形成しながら、同時に前記第1領域および前記第2領域において、前記酸化シリコン含有層をマスクとして前記レジスト膜を前記パターンに沿って加工する請求項1記載の半導体装置の製造方法。

【請求項5】前記第1領域において、前記シリル化物含有層の少なくとも表層部分に酸化シリコン含有層を形成する工程においては、原料ガス中に酸素を含有するプラズマ処理を施す請求項4記載の半導体装置の製造方法。

【請求項6】第1領域と当該第1領域の外周部である第2領域を有する基板の少なくとも第1領域において、前記基板に形成された被加工層を所定のパターンに加工する半導体装置の製造方法であって、
 前記第1領域および前記第2領域において、基板に形成された被加工層の上層に全面にレジスト膜を形成する工程と、

前記第1領域において、前記レジスト膜を所定のパターンに沿って露光し、前記レジスト膜の表層部分に前記パターンに沿って架橋部と非架橋部を形成する工程と、
 前記第2領域において、前記レジスト膜の側壁表面を含む表層部分に非架橋部を形成する工程と、

前記第1領域および前記第2領域において、前記非架橋部の少なくとも表層部分にシリル化物含有層を形成する工程と、
 前記第2領域において、前記レジスト膜の少なくとも側壁表面を含む表層部分に形成された前記シリル化物含有層を除去する工程と、
 少なくとも前記第1領域において、前記シリル化物含有層の少なくとも表層部分に酸化シリコン含有層を形成する工程と、
 前記第1領域および前記第2領域において、前記酸化シリコン含有層をマスクとして前記レジスト膜を前記パターンに沿って加工する工程と、
 前記第1領域および前記第2領域において、前記酸化シリコン含有層あるいは前記パターン加工されたレジスト膜をマスクとして前記被加工層を加工する工程とを有する半導体装置の製造方法。

【請求項7】前記レジスト膜として被露光部分に架橋部を形成するレジスト膜を使用し、
 前記第1領域において前記レジスト膜の表層部分に前記パターンに沿って架橋部と非架橋部を形成する工程においては、前記レジスト膜を所定のパターンに沿って露光する工程により、前記レジスト膜の被露光部分の表層部分に架橋部を形成し、前記レジスト膜の前記架橋部を除く部分の表層部分を前記非架橋部とする請求項6記載の

半導体装置の製造方法。

【請求項8】前記レジスト膜として露光および架橋処理を施したときに被露光部分に非架橋部を形成し、未露光部分に架橋部を形成するレジスト膜を使用し、

前記第1領域において前記レジスト膜の表層部分に前記パターンに沿って架橋部と非架橋部を形成する工程においては、前記レジスト膜を所定のパターンに沿って露光する工程と、架橋処理を施す工程により、前記レジスト膜の被露光部分の表層部分に非架橋部を形成し、前記レジスト膜の前記非架橋部を除く部分の表層部分に架橋部を形成し、

前記第2領域において前記レジスト膜の側壁表面を含む表層部分に非架橋部を形成する工程においては、前記レジスト膜に露光する工程と、架橋処理を施す工程により、前記レジスト膜の側壁表面を含む表層部分に非架橋部を形成する請求項6記載の半導体装置の製造方法。

【請求項9】前記第1領域において、前記シリル化物含有層の少なくとも表層部分に酸化シリコン含有層を形成する工程においては、前記シリル化物含有層の少なくとも表層部分に酸化シリコン含有層を形成しながら、同時に前記第1領域および前記第2領域において、前記酸化シリコン含有層をマスクとして前記レジスト膜を前記パターンに沿って加工する請求項6記載の半導体装置の製造方法。

【請求項10】前記第1領域において、前記シリル化物含有層の少なくとも表層部分に酸化シリコン含有層を形成する工程においては、原料ガス中に酸素を含有するプラズマ処理を施す請求項9記載の半導体装置の製造方法。

【請求項11】前記第2領域において、前記レジスト膜の少なくとも側壁表面を含む表層部分に形成された前記シリル化物含有層を除去する工程においては、前記第2領域の前記レジスト膜の少なくとも側壁表面を含む表層部分にレジスト膜剥離液を滴下する請求項6記載の半導体装置の製造方法。

【請求項12】第1領域と当該第1領域の外周部である第2領域を有する基板の少なくとも第1領域において、前記基板に所定のパターンのレジスト膜を形成するフォトリソグラフィー方法であって、

前記第1領域および前記第2領域において、基板に全面にレジスト膜を形成する工程と、

前記第1領域において、前記レジスト膜を所定のパターンに沿って露光し、前記レジスト膜の表層部分に前記パターンに沿って架橋部と非架橋部を形成する工程と、

前記第2領域において、前記レジスト膜の側壁表面を含む表層部分に架橋部を形成する工程と、

前記第1領域において、前記非架橋部の少なくとも表層部分にシリル化物含有層を形成する工程と、

前記第1領域において、前記シリル化物含有層の少なくとも表層部分に酸化シリコン含有層を形成する工程と、

前記第1領域および前記第2領域において、前記酸化シリコン含有層をマスクとして前記レジスト膜を前記パターンに沿って加工する工程とを有するフォトリソグラフィー方法。

【請求項13】第1領域と当該第1領域の外周部である第2領域を有する基板の少なくとも第1領域において、前記基板に所定のパターンのレジスト膜を形成するフォトリソグラフィー方法であって、

前記第1領域および前記第2領域において、基板に全面にレジスト膜を形成する工程と、

前記第1領域において、前記レジスト膜を所定のパターンに沿って露光し、前記レジスト膜の表層部分に前記パターンに沿って架橋部と非架橋部を形成する工程と、

前記第2領域において、前記レジスト膜の側壁表面を含む表層部分に非架橋部を形成する工程と、

前記第1領域および前記第2領域において、前記非架橋部の少なくとも表層部分にシリル化物含有層を形成する工程と、

前記第2領域において、前記レジスト膜の少なくとも側壁表面を含む表層部分に形成された前記シリル化物含有層を除去する工程と、

少なくとも前記第1領域において、前記シリル化物含有層の少なくとも表層部分に酸化シリコン含有層を形成する工程と、

前記第1領域および前記第2領域において、前記酸化シリコン含有層をマスクとして前記レジスト膜を前記パターンに沿って加工する工程とを有するフォトリソグラフィー方法。

【発明の詳細な説明】

30 【0001】

【発明の属する技術分野】本発明は半導体装置の製造方法およびフォトリソグラフィー方法に関し、特に微細化された半導体装置の製造方法および微細なパターンを転写するフォトリソグラフィー方法に関する。

【0002】

【従来の技術】近年の半導体集積回路の微細化および高集積化は3年で次世代へ進み、デザインルールは前世代の7割の縮小化が行われ、縮小化に伴い半導体装置の高速化も実現してきた。半導体装置を微細に加工するためには、例えばトランジスタのゲート電極のゲート幅やDRAMなどのキャバシタの占有面積を狭め、配線部も同様に、多層配線構造とするなど、微細に加工することが必要になっており、さらにコンタクトホールなども同様に微細な開口径のものを形成することが重要になってきている。トランジスタやキャバシタなどのデバイスが複雑な構造になって立体化するに伴い、層間絶縁膜は厚膜化してきている。

【0003】上記の微細化は、半導体装置の製造工程における微細加工技術の進歩、特に、光を利用して回路パターンをウェーハ面上に塗布された感光性有機膜（フォ

トレジスト)に転写する技術であるフォトリソグラフィー工程における高解像力化により達成されてきた。

【0004】フォトリソグラフィー工程において露光転写可能なパターンの最小寸法は露光波長程度である。また、露光転写する際、基板の段差、露光装置のレンズの収差等によりデフォーカス裕度が必要であるが、パターンが露光波長程度まで微細化するとパターン形成に対し許容できるデフォーカス量つまり焦点深度(DOF: Depth Of Focus)が急激に減少する。さらに、パターンが微細化すると、パターン光学像のコントラストが低下し、露光量(下地基板からの反射光も含む実効的な露光量)の変動に対するマージンつまり露光裕度が低下する。そこで半導体集積回路の微細化が進むにつれ、より短い波長の露光光源が用いられているのが現在までの流れである。

【0005】上記の露光光源としては、具体的には、1.0~0.5 μmルールの半導体集積回路のパターン転写には、水銀ランプのg線(436 nm)あるいはi線(365 nm)が用いられており、0.35 μmルールのパターン転写には、主にi線が用いられている。また、0.25 μmルール以降の半導体集積回路の製造のために、KrFエキシマレーザ(248, 8 nm)を用いて露光する技術が開発されている。将来的には、ArFエキシマレーザ(193 nm)あるいはX線が用いられる可能性がある。

【0006】しかしながら、新たに露光波長の短い露光装置を導入するには設備および開発投資が必要であること、さらに、ArFエキシマレーザ以降の短波長領域では、露光光源、露光装置に用いる硝材、レジストなどの装置および材料は現在開発段階であり、生産に耐えうる性能を持つものは存在しないことなど、上記の露光光源の短波長化には克服すべき課題が多い。そこで、フォトリソグラフィー工程における高解像力化を達成するために、露光光源の短波長化だけでなく、焦点深度を確保しつつ露光波長以下のパターンを形成する方法が研究開発されている。

【0007】上記の焦点深度を確保しつつ露光波長以下のパターンを形成する方法として、レジスト膜の表層部分のみを解像させるシリル化プロセスが提案されている。例として、MOSトランジスタを有する半導体装置の製造方法においてポジ型のシリル化プロセスを用いてトランジスタのゲート電極をゲートパターンに加工する方法について、図面を参照して以下に説明する。

【0008】図13は、上記のMOSトランジスタを有する半導体装置の製造方法のトランジスタ形成工程後における(a)半導体基板の平面図および(b)前記半導体基板のエッジ近傍領域の断面図である。領域Aは上記のMOSトランジスタが形成されている本パターン領域である。例えば半導体基板10上のSTI(Shallow Trench Isolation)型の素子分離絶縁膜20で分離された

活性領域上に、例えば酸化シリコンからなるゲート絶縁膜21が形成されており、その上層に例えばポリシリコンのゲート電極30aが形成されている。また、ゲート電極30aの両側部における半導体基盤10中には、導電性不純物の拡散層であるソース・ドレイン領域11が形成されている。以上のようにして、MOSトランジスタが構成されている。

【0009】一方、領域Bは半導体基板のエッジ部であり、領域Aの外周部に相当する。領域Bは完全な回路パターンを有していない領域であり、本来この領域には半導体素子は形成しなくともよいが、製造工程上、ポリシリコン層30bが形成され、また、半導体基板10中には導電性不純物の拡散層12が形成されている。

【0010】上記の図13に示す構造に至るまでの製造方法の製造工程について説明する。まず、図14(a)に示すように、シリコン半導体基板10の領域A(本パターン領域)において、例えばSTI型の素子分離絶縁膜を形成する。

【0011】次に、図14(b)に示すように、例えば熱酸化法により領域Aおよび領域B(エッジ部)において全面に酸化シリコン膜21を形成する。領域Aにおいて、酸化シリコン膜21はトランジスタのゲート絶縁膜となる。

【0012】次に、図14(c)に示すように、例えばCVD(Chemical Vapor Deposition)法により領域Aおよび領域Bにおいて全面に例えばポリシリコン層30を堆積させる。領域Aにおいて、ポリシリコン層30はトランジスタのゲート電極となる層である。

【0013】次に、図15の(d)斜視図および(e)断面図に示すように、領域Aおよび領域Bにおいて、ポリシリコン層30の上層に全面に、回転塗布によりポリビニルフェノール系のシリル化プロセス用のレジスト膜40を形成する。

【0014】次に、図16の(f)斜視図および(g)断面図に示すように、次に領域Bにおいて、外周部から数mmのレジスト膜40をシンナーS1で除去する。次に半導体基板10をホットプレートで加熱して、レジスト中の溶剤を蒸発させ、レジスト膜40を硬化させる。

【0015】次に、図17(h)に示すように、領域Aにおいて、ポジ型のマスク(未露光部分をパターンとして残すマスク)MPをマスクとして、ポジ像のパターン光LPをレジスト膜40に照射する。露光された部分のレジスト膜40の表層部分の中の分子は架橋反応を起こし、架橋部41を形成する。一方、領域Bは、パターンを形成する必要がないので露光はしない。

【0016】次に、図17(i)に示すように、領域Aおよび領域Bにおいて、レジスト膜40(41)表面を気相のシリル化剤Sに暴露する。架橋部41においてはシリル化剤の拡散が防止されるが、非架橋部(架橋部41を除くレジスト膜40部分)表面からはシリル化剤が

拡散して、非架橋部の表層部分にシリル化物含有層42が形成される。このシリル化剤の拡散工程は、液相のシリル化剤中に浸漬しても可能である。このとき、領域Bにおいてはレジスト膜の側壁表面を含む表層部分にシリル化物含有層42が形成されることになる。レジスト膜の上面からはシリル化剤は一方向にしか拡散しないが、レジスト膜の側壁表面部分においては、シリル化剤が四方に拡散する。この結果、側壁表面において形成されるシリル化物含有層42の膜厚T2はレジスト膜の上面において形成されるシリル化物含有層42の膜厚T1よりも厚く形成される。

【0017】次に、図17(j)に示すように、ドライ現像処理として、原料ガス中に酸素を含有するプラズマ処理(O₂、プラズマ処理)を施すことにより、シリル化物含有層42の表層部分に酸化シリコン(SiO_x)含有層42bが形成され、酸化シリコン含有層42bを除く領域がシリル化物含有層42aとなる。同時に、このO₂、プラズマ処理により、酸化シリコン含有層42bをマスクとして、架橋部41を含むレジスト膜40がエッチング加工されて、未露光部分のレジスト膜40aを残すボジパターンを形成する。

【0018】次に、図18(k)に示すように、酸化シリコン含有層42bをマスクとして、ポリシリコン層30をエッチング加工し、領域Aにおいて、ポリシリコンのゲート電極30aを形成する。このとき、領域Bにもボジパターンが残されることから、ポリシリコン層30bが残されて形成される。

【0019】次に、図18(l)に示すように、原料ガス中にフッ素を含有するプラズマ処理により酸化シリコン含有層42bおよびシリル化物含有層42aをエッチング除去し、さらに原料ガス中に酸素を含有するプラズマ処理によりバルクのレジスト膜40aをアッシング除去する。または、剥離液により酸化シリコン含有層42bおよびシリル化物含有層42a、さらにバルクのレジスト膜40aを除去する。

【0020】次に、図18(m)に示すように、領域Aにおいて、例えば半導体基板10の導電型と異なる導電型の導電性不純物(基板がp型の場合には、リンなどのn型不純物、基板がn型の場合には、ホウ素などのp型不純物)をゲート電極30aをマスクとしてイオン注入して、ゲート電極30aの両側部における半導体基板10中に、導電性不純物の拡散層であるソース・ドレイン領域11を形成する。このとき、領域Bにおいても導電性不純物の拡散層12が形成される。領域Bをレジスト膜などでマスクし、領域Aに選択的にイオン注入することもできる。以上で、図13に示す構造に至る。

【0021】上記の半導体装置の製造方法は、ボジ型のシリル化プロセス(未露光部分にパターンを形成する工程)について説明したが、被露光部分に選択的にシリル化剤を拡散させ、その表層部分に酸化シリコン含有層を

形成してパターンを形成することにより、ネガ型のシリル化プロセスとすることができます。

【0022】上記のシリル化プロセスを用いた半導体装置の製造方法は、レジスト膜の表層部分のみを解像させるので、光学的には薄膜のレジスト膜を用いていることと同じ原理となり、微細な高解像度のパターンを、広い焦点深度を確保して形成することが可能となる。また、光吸収率の高いレジストを用いることができるため、下地基板からの反射光をおさえることができ、定在波効果が低減できるため、パターン寸法精度を向上させることができます。

【0023】

【発明が解決しようとする課題】しかしながら、上記のシリル化プロセスを用いた半導体装置の製造方法は、酸化シリコン含有層42bおよびシリル化物含有層42aを除去する工程において、剥離時間が足りない場合に基板のエッジ部(領域B)で酸化シリコン含有層42bおよびシリル化物含有層42aの残渣が発生するという問題がある。

【0024】上記の問題について、図面を参照して説明する。図19(k')に示すように、レジスト膜の側壁表面におけるシリル化物含有層42の膜厚がレジスト膜の上面において形成されるシリル化物含有層42の膜厚よりも厚く形成されていたことから、O₂、プラズマ処理を行ったときに形成されるレジスト膜の側壁表面における酸化シリコン含有層42b'およびシリル化物含有層42a'の膜厚は、それぞれレジスト膜の上面において形成される酸化シリコン含有層42bおよびシリル化物含有層42aの膜厚よりも厚く形成されることになる。従って、領域bにおいては酸化シリコン含有層42b'およびシリル化物含有層42a'の剥離のために時間が余計にかかる。もし、剥離時間が不十分であると、図19(l')に示すように、基板のエッジ部(領域B)で酸化シリコン含有層42bおよびシリル化物含有層42aの残渣42cが発生することになる。

【0025】上記の残渣42cは、後工程においてCVD法などにより種々の層を成膜したときの、膜剥がれ原因となるので、本来不必要的領域である領域Bにおいても残渣42cを残すことなく完全に除去する必要がある。

【0026】上記の半導体装置の製造方法においては、ドライ現像処理としてO₂、プラズマ処理した施していないが、O₂、プラズマでエッチングする前に、原料ガス中にフッ素を含有するプラズマ処理により表層のシリル化物含有層を薄くエッチングする場合もある(この工程は、ブレーク・スルーとも言う)。これは、理想的にはレジスト膜の被露光部分にはシリル化物含有層が形成されないはずであるが、被露光部分においてもその表層に数nmの膜厚でシリル化物含有層が形成されてしまう場合があり、この被露光部分におけるシリル化物含有層を

除去するためである。または、バターンのエッジ部にはみ出して形成されたシリル化物含有層をエッチング除去してバターンのエッジ・ラフネスを低減するためである。このブレーク・スルーにおいては、異方性エッチングを用いているために、基板の領域B（エッジ部）におけるレジスト膜の側壁表面に形成された酸化シリコン含有層およびシリル化物含有層はエッチングされにくい。よって、ブレーク・スルーを行うと、基板の本バターン領域（領域A）に対して相対的にますます基板のエッジ部（領域B）におけるレジスト膜の側壁表面の酸化シリコン含有層およびシリル化物含有層が厚くなってしまう。

【0027】また、基板のエッジ部（領域B）におけるレジスト膜側壁表面の酸化シリコン含有層およびシリル化物含有層は、ポリシリコンなどの下地層あるいは基板などの上に直接形成されるので、その基板などとの密着性が良い場合、剥離がさらに困難になる。シリル化剤の一つにHMDS（hexamethyldisilane）があるが、これは、レジストと下地基板との密着剤に使用されているものであり、この場合には酸化シリコン含有層およびシリル化物含有層と基板などとの密着力が高まり、剥離しにくくなってしまう。

【0028】また、酸化シリコン含有層およびシリル化物含有層がバルクのレジスト膜（図19（k'）においては、酸化シリコン含有層42bおよびシリル化物含有層42aの下層のレジスト膜40a）上に形成されている場合、リフトオフ法で下層のレジスト膜40aが先に除去されることによりその上層のシリル化物含有層および酸化シリコン含有層が剥離除去されるという効果もあるが、基板などに直接シリル化物含有層および酸化シリコン含有層が密着していると、リフトオフ法によって剥離はされないので、剥離しにくくなってくる。

【0029】実際に、窒化シリコン上にシリル化プロセスを用いて形成したレジスト・バターンを除去するため、市販の剥離液（EKC-270（EKC Technology, Inc. 製））を用いたところ、基板の本バターン領域（領域A）は浸漬10分以内で除去できたが、基板のエッジ部（領域B）は60分浸漬しても除去できず、残渣が残った。

【0030】また、ガス流量CH₄ / O₂ = 20 / 7 0 sccm、基板温度20°C、バイアス・パワー50WのECR（electron cyclotron resonance）型プラズマエッチングを用いて上記の酸化シリコン含有層およびシリル化物含有層を除去したところ、基板の本バターン領域（領域A）は30秒で除去できたが、基板のエッジ部（領域B）の残渣は120秒のエッチングでも除去できなかった。

【0031】本発明は上記の状況に鑑みてなされたものであり、従って本発明は、シリル化プロセスにより基板上にレジスト膜をバターン加工するときに、基板のエッ

ジ部において残渣を残すことなく前記レジスト膜を除去することができる半導体装置の製造方法およびフォトリソグラフィー方法を提供することを目的とする。

【0032】

【課題を解決するための手段】上記の目的を達成するため、本発明の半導体装置の製造方法は、第1領域と当該第1領域の外周部である第2領域を有する基板の少なくとも第1領域において、前記基板に形成された被加工層を所定のバターンに加工する半導体装置の製造方法であって、前記第1領域および前記第2領域において、基板に形成された被加工層の上層に全面にレジスト膜を形成する工程と、前記第1領域において、前記レジスト膜を所定のバターンに沿って露光し、前記レジスト膜の表層部分に前記バターンに沿って架橋部と非架橋部を形成する工程と、前記第2領域において、前記レジスト膜の側壁表面を含む表層部分に架橋部を形成する工程と、前記第1領域において、前記非架橋部の少なくとも表層部分にシリル化物含有層を形成する工程と、前記第1領域において、前記シリル化物含有層の少なくとも表層部分に酸化シリコン含有層を形成する工程と、前記第1領域および前記第2領域において、前記酸化シリコン含有層をマスクとして前記レジスト膜を前記バターンに沿って加工する工程と、前記第1領域および前記第2領域において、前記酸化シリコン含有層あるいは前記バターン加工されたレジスト膜をマスクとして前記被加工層を加工する工程とを有する。

【0033】上記の本発明の半導体装置の製造方法は、第1領域とその外周部である第2領域を有する基板第1領域および第2領域において基板に形成された被加工層の上層に全面にレジスト膜を形成する。次に、第1領域においてレジスト膜を所定のバターンに沿って露光し、レジスト膜の表層部分にバターンに沿って架橋部と非架橋部を形成し、第2領域においてレジスト膜の側壁表面を含む表層部分に架橋部を形成する。次に、第1領域において非架橋部の少なくとも表層部分にシリル化物含有層を形成し、シリル化物含有層の少なくとも表層部分に酸化シリコン含有層を形成する。次に、第1領域および第2領域において酸化シリコン含有層をマスクとしてレジスト膜をバターンに沿って加工し、さらに酸化シリコン含有層あるいはバターン加工されたレジスト膜をマスクとして被加工層を加工する。

【0034】上記の本発明の半導体装置の製造方法によれば、シリル化プロセスにより基板上にレジスト膜をバターン加工するときに、レジスト膜中に形成された非架橋部の少なくとも表層部分にシリル化物含有層を形成する前に、第2領域においてレジスト膜の側壁表面を含む表層部分に架橋部を形成するので、ここにはシリル化物含有層は形成されず、従って、酸化シリコン含有層も形成されない。このため、基板の第2領域（エッジ部）において残渣を残すことなく容易にレジスト膜を除去する

ことができる。

【0035】上記の本発明の半導体装置の製造方法は、好適には、前記レジスト膜として被露光部分に架橋部を形成するレジスト膜を使用し、前記第1領域において前記レジスト膜の表層部分に前記パターンに沿って架橋部と非架橋部を形成する工程においては、前記レジスト膜を所定のパターンに沿って露光する工程により、前記レジスト膜の被露光部分の表層部分に架橋部を形成し、前記レジスト膜の前記架橋部を除く部分の表層部分を前記非架橋部とし、前記第2領域において前記レジスト膜の側壁表面を含む表層部分に架橋部を形成する工程においては、前記レジスト膜を露光する工程により、前記レジスト膜の側壁表面を含む表層部分に架橋部を形成する。これにより、レジスト膜の未露光部分にパターンを残すポジ型のシリル化プロセスとすることができます。

【0036】上記の本発明の半導体装置の製造方法は、好適には、前記レジスト膜として露光および架橋処理を施したときに被露光部分に非架橋部を形成し、未露光部分に架橋部を形成するレジスト膜を使用し、前記第1領域において前記レジスト膜の表層部分に前記パターンに沿って架橋部と非架橋部を形成する工程においては、前記レジスト膜を所定のパターンに沿って露光する工程と、架橋処理を施す工程により、前記レジスト膜の被露光部分の表層部分に非架橋部を形成し、前記レジスト膜の前記非架橋部を除く部分の表層部分に架橋部を形成し、前記第2領域において前記レジスト膜の側壁表面を含む表層部分に架橋部を形成する工程においては、前記レジスト膜に架橋処理を施す工程により、前記レジスト膜の側壁表面を含む表層部分に架橋部を形成する。これにより、レジスト膜の被露光部分にパターンを残すネガ型のシリル化プロセスとすることができます。

【0037】上記の本発明の半導体装置の製造方法は、好適には、前記第1領域において、前記シリル化物含有層の少なくとも表層部分に酸化シリコン含有層を形成する工程においては、前記シリル化物含有層の少なくとも表層部分に酸化シリコン含有層を形成しながら、同時に前記第1領域および前記第2領域において、前記酸化シリコン含有層をマスクとして前記レジスト膜を前記パターンに沿って加工する。例えば、原料ガス中に酸素を含有するプラズマ処理をすることにより、ドライ現像処理として、シリル化物含有層の少なくとも表層部分に酸化シリコン含有層を形成する工程と第1領域および第2領域において、酸化シリコン含有層をマスクとしてレジスト膜をパターンに沿って加工する工程を同時に行い、工程を簡略化することができる。

【0038】また、上記の目的を達成するため、本発明の半導体装置の製造方法は、第1領域と当該第1領域の外周部である第2領域を有する基板の少なくとも第1領域において、前記基板に形成された被加工層を所定のパターンに加工する半導体装置の製造方法であって、前記

第1領域および前記第2領域において、基板に形成された被加工層の上層に全面にレジスト膜を形成する工程と、前記第1領域において、前記レジスト膜を所定のパターンに沿って露光し、前記レジスト膜の表層部分に前記パターンに沿って架橋部と非架橋部を形成する工程と、前記第2領域において、前記レジスト膜の側壁表面を含む表層部分に非架橋部を形成する工程と、前記第1領域および前記第2領域において、前記非架橋部の少なくとも表層部分にシリル化物含有層を形成する工程と、前記第2領域において、前記レジスト膜の少なくとも側壁表面を含む表層部分に形成された前記シリル化物含有層を除去する工程と、少なくとも前記第1領域において、前記シリル化物含有層の少なくとも表層部分に酸化シリコン含有層を形成する工程と、前記第1領域および前記第2領域において、前記酸化シリコン含有層をマスクとして前記レジスト膜を前記パターンに沿って加工する工程と、前記第1領域および前記第2領域において、前記酸化シリコン含有層あるいは前記パターン加工されたレジスト膜をマスクとして前記被加工層を加工する工程とを有する。

【0039】上記の本発明の半導体装置の製造方法は、第1領域とその外周部である第2領域を有する基板第1領域および第2領域において基板に形成された被加工層の上層に全面にレジスト膜を形成する。次に、第1領域においてレジスト膜を所定のパターンに沿って露光し、レジスト膜の表層部分に前記パターンに沿って架橋部と非架橋部を形成し、第2領域においてレジスト膜の側壁表面を含む表層部分に非架橋部を形成する。次に、第1領域および第2領域において、非架橋部の少なくとも表層部分にシリル化物含有層を形成する。次に、第2領域において、レジスト膜の少なくとも側壁表面を含む表層部分に形成されたシリル化物含有層を除去する。次に、少なくとも第1領域において、シリル化物含有層の少なくとも表層部分に酸化シリコン含有層を形成し、第1領域および第2領域において酸化シリコン含有層をマスクとしてレジスト膜を前記パターンに沿って加工し、さらに酸化シリコン含有層あるいはパターン加工されたレジスト膜をマスクとして被加工層を加工する。

【0040】上記の本発明の半導体装置の製造方法によれば、シリル化プロセスにより基板上にレジスト膜をパターン加工するときに、レジスト膜中に形成されたシリル化物含有層の表層部分に酸化シリコン含有層を形成する前に、第2領域においてレジスト膜の側壁表面を含む表層部分に形成されたシリル化物含有層を除去するので、従ってここには酸化シリコン含有層が形成されない。このため、基板の第2領域（エッジ部）において残渣を残すことなく容易にレジスト膜を除去することができる。

【0041】上記の本発明の半導体装置の製造方法は、好適には、前記レジスト膜として被露光部分に架橋部を

形成するレジスト膜を使用し、前記第1領域において前記レジスト膜の表層部分に前記パターンに沿って架橋部と非架橋部を形成する工程においては、前記レジスト膜を所定のパターンに沿って露光する工程により、前記レジスト膜の被露光部分の表層部分に架橋部を形成し、前記レジスト膜の前記架橋部を除く部分の表層部分を前記非架橋部とする。これにより、レジスト膜の未露光部分にパターンを残すボン型のシリル化プロセスとすることができる。

【0042】上記の本発明の半導体装置の製造方法は、好適には、前記レジスト膜として露光および架橋処理を施したときに被露光部分に非架橋部を形成し、未露光部分に架橋部を形成するレジスト膜を使用し、前記第1領域において前記レジスト膜の表層部分に前記パターンに沿って架橋部と非架橋部を形成する工程においては、前記レジスト膜を所定のパターンに沿って露光する工程と、架橋処理を施す工程により、前記レジスト膜の被露光部分の表層部分に非架橋部を形成し、前記レジスト膜の前記非架橋部を除く部分の表層部分に架橋部を形成し、前記第2領域において前記レジスト膜の側壁表面を含む表層部分に非架橋部を形成する工程においては、前記レジスト膜に露光する工程と、架橋処理を施す工程により、前記レジスト膜の側壁表面を含む表層部分に非架橋部を形成する。これにより、レジスト膜の被露光部分にパターンを残すネガ型のシリル化プロセスとことができる。

【0043】上記の本発明の半導体装置の製造方法は、好適には、前記第1領域において、前記シリル化物含有層の少なくとも表層部分に酸化シリコン含有層を形成する工程においては、前記シリル化物含有層の少なくとも表層部分に酸化シリコン含有層を形成しながら、同時に前記第1領域および前記第2領域において、前記酸化シリコン含有層をマスクとして前記レジスト膜を前記パターンに沿って加工する。例えば、原料ガス中に酸素を含有するプラズマ処理を施すことにより、ドライ現像処理として、シリル化物含有層の少なくとも表層部分に酸化シリコン含有層を形成する工程と第1領域および第2領域において、酸化シリコン含有層をマスクとしてレジスト膜をパターンに沿って加工する工程を同時に行い、工程を簡略化することができる。

【0044】上記の本発明の半導体装置の製造方法は、好適には、前記第2領域において、前記レジスト膜の少なくとも側壁表面を含む表層部分に形成された前記シリル化物含有層を除去する工程においては、前記第2領域の前記レジスト膜の少なくとも側壁表面を含む表層部分にレジスト膜剥離液を滴下する。これにより、容易にレジスト膜の少なくとも側壁表面を含む表層部分に形成されたシリル化物含有層を除去することができます。

【0045】上記の目的を達成するため、本発明のフォトリソグラフィー方法は、第1領域と当該第1領域の外

周部である第2領域を有する基板の少なくとも第1領域において、前記基板に所定のパターンのレジスト膜を形成するフォトリソグラフィー方法であって、前記第1領域および前記第2領域において、基板に全面にレジスト膜を形成する工程と、前記第1領域において、前記レジスト膜を所定のパターンに沿って露光し、前記レジスト膜の表層部分に前記パターンに沿って架橋部と非架橋部を形成する工程と、前記第2領域において、前記レジスト膜の側壁表面を含む表層部分に架橋部を形成する工程と、前記第1領域において、前記非架橋部の少なくとも表層部分にシリル化物含有層を形成する工程と、前記第1領域において、前記シリル化物含有層の少なくとも表層部分に酸化シリコン含有層を形成する工程と、前記第1領域および前記第2領域において、前記酸化シリコン含有層をマスクとして前記レジスト膜を前記パターンに沿って加工する工程とを有する。

【0046】また、上記の目的を達成するため、本発明のフォトリソグラフィー方法は、第1領域と当該第1領域の外周部である第2領域を有する基板の少なくとも第1領域において、前記基板に所定のパターンのレジスト膜を形成するフォトリソグラフィー方法であって、前記第1領域および前記第2領域において、基板に全面にレジスト膜を形成する工程と、前記第1領域において、前記レジスト膜を所定のパターンに沿って露光し、前記レジスト膜の表層部分に前記パターンに沿って架橋部と非架橋部を形成する工程と、前記第2領域において、前記レジスト膜の側壁表面を含む表層部分に非架橋部を形成する工程と、前記第1領域および前記第2領域において、前記非架橋部の少なくとも表層部分にシリル化物含有層を形成する工程と、前記第1領域において、前記非架橋部の少なくとも表層部分にシリル化物含有層を形成する工程とを有する。

【0047】上記の本発明のフォトリソグラフィー方法は、それぞれ、シリル化プロセスにより基板上にレジスト膜をパターン形成するときに、露光処理により第2領域のレジスト膜の側壁表面に予めシリル化物含有層を形成しない、あるいは、形成してもシリル化物含有層の表層部分に酸化シリコン含有層を形成する前に第2領域のレジスト膜の側壁表面のシリル化物含有層を除去してしまう。従って、第2領域には酸化シリコン含有層が形成されない。このため、基板の第2領域（エッジ部）において残渣を残すことなく容易にレジスト膜を除去することができます。

【0048】
50 【発明の実施の形態】以下に、本発明の実施の形態につ

いて、図面を参照して説明する。

[0049] 第1実施形態

図1は、本実施形態に係るMOSトランジスタを有する半導体装置の製造方法のトランジスタ形成工程後における(a)半導体基板の平面図および(b)前記半導体基板のエッジ近傍領域の断面図である。第1領域である領域Aは上記のMOSトランジスタが形成されている本パターン領域である。例えば半導体基板10上のSTI(Shallow Trench Isolation)型の素子分離絶縁膜20で分離された活性領域上に、例えば酸化シリコンからなるゲート絶縁膜21が形成されており、その上層に例えばポリシリコンのゲート電極30aが形成されている。また、ゲート電極30aの両側部における半導体基盤10中には、導電性不純物の拡散層であるソース・ドレイン領域11が形成されている。以上のようにして、MOSトランジスタが構成されている。

[0050]一方、第2領域である領域Bは半導体基板のエッジ部であり、領域Aの外周部に相当する。領域Bは完全な回路パターンを有していない領域であり、本来この領域には半導体素子は形成しなくともよいが、製造工程上、半導体基板10中には導電性不純物の拡散層12が形成されている。

[0051]上記の図1に示す構造に至るまでの製造方法の製造工程について説明する。まず、図2(a)に示すように、シリコン半導体基板10の領域A(本パターン領域)において、例えばSTI型の素子分離絶縁膜を形成する。

[0052]次に、図2(b)に示すように、例えば熱酸化法により領域Aおよび領域B(エッジ部)において全面に3nmの膜厚の酸化シリコン膜21を形成する。領域Aにおいて、酸化シリコン膜21はトランジスタのゲート絶縁膜となる。

[0053]次に、図2(c)に示すように、例えばCVD(Chemical Vapor Deposition)法により領域Aおよび領域Bにおいて全面に150nmの膜厚でポリシリコン層30を堆積させる。領域Aにおいて、ポリシリコン層30はトランジスタのゲート電極となる層である。

[0054]以降の工程においては、ポジ型のシリル化プロセスにより、ゲートパターンのマスクとなるレジスト膜をパターン形成する。まず、図3(d)に示すように、領域Aおよび領域Bにおいて、ポリシリコン層30の上層に全面に、例えば回転塗布により700nmの膜厚でポリビニルフェノール系のシリル化プロセス用のレジスト膜40を形成する。次に、例えば100°C、60秒の条件のブリ・ペーク処理を施す。

[0055]次に、図3(e)に示すように、レジスト塗布装置に備えつけられている重水素ランプの発光する光LE(波長領域190nm以上)で領域Bにおける外周から5mm分を露光する。レジスト膜40の側壁表面を含む表層部分である被露光部分においては光架橋反応

により架橋部41が形成される。

[0056]次に、図3(f)に示すように、領域Aにおいて、バターン部がCrから構成されるポジ型のゲートレイヤのマスク(未露光部分をゲートバターンとして残すマスク)MPをマスクとして、ArFエキシマレーザを露光光源(露光波長が193nm)を用いて縮小率1/4の投影露光装置を用いて、ポジ像のバターン光LPをレジスト膜40全面に逐次繰り返し露光転写する。被露光部分のレジスト膜40の表層部分の中の分子は架橋反応を起こし、架橋部41を形成する。以上のようにして、領域Aにおいてはレジスト膜の表層部分にバターンに沿って架橋部と非架橋部を形成し、一方、領域Bにおいてはレジスト膜の側壁表面を含む表層部分に架橋部を形成する。

[0057]次に、図4(g)に示すように、90°Cの温度下で30Torrの気相のDMS DMA(dimethylsilyldimethylamine)などのシリル化物S中に60秒間暴露する。このとき、非架橋部であるレジスト膜40の表層部分において選択的にシリル化物Sが拡散し、シリル化物含有層42が形成される。このシリル化剤の拡散工程は、液相のシリル化剤中に浸漬しても可能である。

[0058]次に、図4(h)に示すように、例えばTCP(transformer coupled plasma)型のプラズマエッチング装置を用いて、(処理温度=10°C、処理圧力=5mTorr、O₂/SO₂の流量=160/30scm、TCPパワー=500W、バイアスパワー=100W)の条件のO₂-SO₂系プラズマエッチングにより、異方性エッチングを施す。このとき、シリル化物含有層42中のシリコンとエッチングガスE1中の酸素が結合して、シリル化物含有層42の表層に酸化シリコン(SiO_x)含有層42bが例えば20nmの膜厚で選択的に形成され、酸化シリコン含有層42bを除く領域がシリル化物含有層42aとなる。また、上記のプラズマエッチングにおいて、酸化シリコン含有層42bがマスクとなって被露光部分のレジスト膜(40、41)がエッチングされ、ゲートパターンのレジスト膜40aが形成される。

[0059]上記のプラズマエッチング工程において、ゲート長が規格外となった場合、あるいは、下地レイヤーとの重ね合わせ精度が規格外となった場合には、レジスト膜を剥離して、上記のレジスト膜の形成工程以降を繰り返す。このレジスト膜の剥離処理としては、例えばTCP型のプラズマ・エッチング装置を用いて、(処理温度=0°C、処理圧力=5mTorr、CHF₃/O₂の流量=10/50scm、TCPパワー=500W、バイアスパワー=100W)の条件のCHF₃-O₂系プラズマエッチングにより、15秒間異方性エッチングを施して、酸化シリコン含有層42bおよびシリル化物含有層42aを剥離する。次に、O₂プラズマ処理で残りのバルクのレジスト膜40aをアッシング除去し、

さらにH₂SO₄/H₂O₂溶液で後処理する。

【0060】レジスト・パターンが適正に形成できた場合には、図4(i)に示すように、例えばECR型のプラズマエッティング装置を用いて、酸化シリコン含有層42bあるいはレジスト膜40aをマスクとして、第1段としてCl₂-O₂系プラズマエッティング処理、第2段としてHBr-O₂系プラズマエッティング処理を施し、エッティングガスE2を基板面にあてて、ポリシリコンのゲート電極30aおよび酸化シリコンのゲート絶縁膜21をエッティング加工する。このエッティング条件としては、例えば(基板温度=20°C、処理圧力=0.5Pa、Cl₂/O₂/HBrの流量=15/5/95sccm、バイアスRFパワー=25W)とする。

【0061】次に、図5(j)に示すように、例えばTCP型のプラズマエッティング装置を用いて、(処理温度=0°C、処理圧力=5mTorr、CHF₃/O₂の流量=10/50sccm、TCPパワー=500W、バイアスパワー=100W)の条件のCHF₃-O₂系プラズマエッティングにより、15秒間異方性エッティングを施して、酸化シリコン含有層42bおよびシリル化物含有層42aを剥離する。次に、O₂プラズマ処理で残りのバルクのレジスト膜40aをアッシング除去し、さらにH₂SO₄/H₂O₂溶液で後処理する。

【0062】次に、図5(k)に示すように、領域Aにおいて、例えば半導体基板10の導電型と異なる導電型の導電性不純物(基板がp型の場合には、リンなどのn型不純物、基板がn型の場合には、ホウ素などのp型不純物)をゲート電極30aをマスクとしてイオン注入して、ゲート電極30aの両側部における半導体基板10中に、導電性不純物の拡散層であるソース・ドレイン領域11を形成する。このとき、領域Bにおいても導電性不純物の拡散層12が形成される。領域Bをレジスト膜などでマスクし、領域Aに選択的にイオン注入することができる。以上で、図1に示す構造に至る。

【0063】上記の本実施形態の半導体装置の製造方法においては、ポジ型のシリル化プロセスにより基板上にレジスト膜をパターン加工するときに、レジスト膜中に形成された非架橋部の少なくとも表層部分にシリル化物含有層を形成する前に、領域Bにおいてレジスト膜の側壁表面を含む表層部分に架橋部を形成するので、ここにはシリル化物含有層は形成されず、従って、酸化シリコン含有層も形成されない。このため、基板の領域B(エッジ部)において残渣を残すことなく容易にレジスト膜を除去することができる。

【0064】上記の本実施形態の半導体装置の製造方法においては、基板の領域Bにおける露光として、レジスト塗布装置に備えつけられている重水素ランプを用いるかわりに、露光機の露光源であるArFエキシマーレーザ光を分岐させたものを用いて露光する、あるいは、重水素ランプを搭載した基板のエッジ部露光専用の露光装

置などを用いることができる。また、ポリビニルフェノール系のレジストを用いるかわりに、酸発生剤、酸により架橋するメラミン誘導体の架橋剤およびノボラック樹脂から構成される化学增幅型レジストを用いることができる。この場合は、基板を110°Cの処理温度で60秒間加熱し、被露光部分に発生した酸を拡散して、酸との反応により架橋剤がノボラック樹脂を架橋させる。また、この場合には、基板のエッジ部の露光には重水素ランプを用いるかわりに、既存のコータデペロッパーのエッジ露光機能に使用されている水銀キセノンランプ(波長域220nm~440nm)を用いることができる。レジスト中の酸は水銀キセノンランプ光の照射によっても発生するので、上記レジストは水銀キセノンランプ光の照射で架橋することが可能となる。

【0065】第2実施形態

本実施形態に係る半導体装置の製造方法は、ネガ型のシリル化プロセスを用いることを除いて、実質的に第1実施形態を同様である。まず、図6(a)に示すように、例えばシリコン半導体基板10にSTI型の素子分離絶縁膜20を形成し、熱酸化法により領域A(本パターン領域)および領域B(エッジ部)において全面に3nmの膜厚の酸化シリコン膜21を形成し、さらにCVD法により領域Aおよび領域Bにおいて全面にポリシリコン層30を150nmの膜厚で堆積させる。次に、ポリシリコン層30の上層に全面に、例えば回転塗布により700nmの膜厚でナフトキノンジアジドとノボラック樹脂から構成されるレジスト膜40を形成する。次に、例えば100°C、60秒の条件のブリ・ピーク処理を施す。

【0066】次に、図6(b)に示すように、領域Aにおいて、パターン以外の部分がCrのから構成される遮蔽膜となっているネガ型のゲートレイヤーのマスク(被露光部分をゲートパターンとして残すマスク)MNをマスクとして、KrFエキシマーレーザを露光源(露光波長が248nm)を用いて縮小率1/5の投影露光装置を用いて、ネガ像のパターン光LNをレジスト膜40全面に逐次繰り返し露光転写する。この露光する領域は、図6(b)に示すように、基板のエッジ部である領域Bにかかるないようにする。

【0067】上記の露光により、被露光部分ではナフトキノンジアジドは分解してインデンケテンとなり、水の存在によりインデンカルボン酸になる。次に、基板を110°Cで90秒加熱処理を行うことにより、インデンカルボン酸の脱炭酸反応がおこる。一方、未露光部分においては、ナフトキノンジアジドはケテンとなり、ノボラック樹脂と架橋する。この結果、図6(c)に示すように、未露光部分に架橋部41が形成され、被露光部分に非架橋部43が形成される。また、領域Bにおいてはレジスト膜の側壁表面を含めて全体が架橋部となる。

【0068】次に、図7(d)に示すように、90°Cの

温度下で30 Torrの気相のDMS DMAなどのシリル化物S中に60秒間暴露する。このとき、レジスト膜の非架橋部43の表層部分において選択的にシリル化物Sが拡散し、シリル化物含有層42が形成される。このシリル化剤の拡散工程は、液相のシリル化剤中に浸漬しても可能である。

【0069】次に、図7(e)に示すように、例えばTCP型のプラズマエッティング装置を用いて、(処理温度=10°C、処理圧力=5mTorr、O₂/SO₂の流量=160/30 sccm、TCPパワー=500W、バイアスパワー=100W)の条件のO₂-SO₂系プラズマエッティングにより、異方性エッティングを施す。このとき、シリル化物含有層42中のシリコンとエッティングガスE1中の酸素が結合して、シリル化物含有層42の表層に酸化シリコン(SiO_x)含有層42bが例えば20nmの膜厚で選択的に形成され、酸化シリコン含有層42bを除く領域がシリル化物含有層42aとなる。また、上記のプラズマエッティングにおいて、酸化シリコン含有層42bがマスクとなって未露光部分のレジスト膜である架橋部41がエッティングされ、ゲートパターンのレジスト膜41aが形成される。

【0070】次に、図7(f)に示すように、例えばECR型のプラズマエッティング装置を用いて、酸化シリコン含有層42bあるいはレジスト膜40aをマスクとして、第1段としてC₁₂-O₂系プラズマエッティング処理、第2段としてHBr-O₂系プラズマエッティング処理を施し、エッティングガスE2を基板面にあてて、ポリシリコンのゲート電極30aおよび酸化シリコンのゲート絶縁膜21をエッティング加工する。このエッティング条件としては、例えば(基板温度=20°C、処理圧力=0.5Pa、C₁₂/O₂/HBrの流量=15/5/95 sccm、バイアスRFパワー=25W)とする。

【0071】次に、図8(g)に示すように、例えばTCP型のプラズマエッティング装置を用いて、(処理温度=0°C、処理圧力=5mTorr、CHF₃/O₂の流量=10/50 sccm、TCPパワー=500W、バイアスパワー=100W)の条件のCHF₃-O₂系プラズマエッティングにより、15秒間異方性エッティングを施して、酸化シリコン含有層42bおよびシリル化物含有層42aを剥離する。次に、O₂プラズマ処理で残りのバルクのレジスト膜40aをアッシング除去し、さらにH₂SO₄/H₂O₂溶液で後処理する。

【0072】次に、図8(h)に示すように、領域Aにおいて、例えば半導体基板10の導電型と異なる導電型の導電性不純物(基板がp型の場合には、リンなどのn型不純物、基板がn型の場合には、ホウ素などのp型不純物)をゲート電極30aをマスクとしてイオン注入して、ゲート電極30aの両側部における半導体基板10中に、導電性不純物の拡散層であるソース・ドレイン領域11を形成する。このとき、領域Bにおいても導電性

不純物の拡散層12が形成される。領域Bをレジスト膜などでマスクし、領域Aに選択的にイオン注入することもできる。以上で、第1実施形態と同様の図1に示す構造に至る。

【0073】上記の本実施形態の半導体装置の製造方法においては、ネガ型のシリル化プロセスにより基板上にレジスト膜をバターン加工するときに、レジスト膜中に形成された非架橋部の少なくとも表層部分にシリル化物含有層を形成する前に、領域Bにおいてレジスト膜の側壁表面を含む表層部分に架橋部を形成するので、ここにはシリル化物含有層は形成されず、従って、酸化シリコン含有層も形成されない。このため、基板の領域B(エッジ部)において残渣を残すことなく容易にレジスト膜を除去することができる。

【0074】第3実施形態

図9は、本実施形態に係るMOSトランジスタを有する半導体装置の製造方法のトランジスタ形成工程後における(a)半導体基板の平面図および(b)前記半導体基板のエッジ近傍領域の断面図である。領域Aは上記のMOSトランジスタが形成されている本バターン領域である。例えば半導体基板10上のSTI型の素子分離絶縁膜20で分離された活性領域上に、例えば酸化シリコンからなるゲート絶縁膜21が形成されており、その上層に例えばポリシリコンのゲート電極30aが形成されている。また、ゲート電極30aの両側部における半導体基盤10中には、導電性不純物の拡散層であるソース・ドレイン領域11が形成されている。以上のようにして、MOSトランジスタが構成されている。

【0075】一方、領域Bは半導体基板のエッジ部であり、領域Aの外周部に相当する。領域Bは完全な回路バターンを有していない領域であり、本来この領域には半導体素子は形成しなくともよいが、製造工程上、ポリシリコン層30bが形成され、また、半導体基板10中には導電性不純物の拡散層12が形成されている。

【0076】上記の図9に示す構造に至るまでの製造方法の製造工程について説明する。まず、図10(a)に示すように、例えばシリコン半導体基板10にSTI型の素子分離絶縁膜20を形成し、熱酸化法により領域A(本バターン領域)および領域B(エッジ部)において全面に3nmの膜厚の酸化シリコン膜21を形成し、さらにCVD法により領域Aおよび領域Bにおいて全面にポリシリコン層30を150nmの膜厚で堆積させる。次に、ポリシリコン層30の上層に全面に、例えば回転塗布により700nmの膜厚でポリビニルフェノール系のシリル化プロセス用のレジスト膜40を形成する。次に、例えば100°C、60秒の条件のブリ・ベーク処理を施す。

【0077】次に、図10(b)に示すように、領域Aにおいて、バターン部がCrから構成されるポジ型のゲートレイヤのマスク(未露光部分をゲートバターンと

して残すマスク) MPをマスクとして、ArFエキシマーレーザを露光光源(露光波長が193nm)を用いて縮小率1/4の投影露光装置を用いて、ポジ像のパターン光LIPをレジスト膜40全面に逐次繰り返し露光転写する。被露光部分のレジスト膜40の表層部分の中の分子は架橋反応を起こし、架橋部41を形成する。以上のようにして、領域Aにおいてはレジスト膜の表層部分にパターンに沿って架橋部と非架橋部を形成する。一方、領域Bは未露光のままであり、側壁部分を含めてレジスト膜の全部を非架橋部とする。

【0078】次に、図10(c)に示すように、90°Cの温度下で30Torrの気相のDMS DMA(dimethylsilyldimethylamine)などのシリル化物S中に60秒間暴露する。このとき、非架橋部であるレジスト膜40の表層部分において選択的にシリル化物Sが拡散し、シリル化物含有層42が形成される。このシリル化剤の拡散工程は、液相のシリル化剤中に浸漬しても可能である。このとき、領域Bにおいてはレジスト膜の側壁表面を含む表層部分にシリル化物含有層42が形成されることになる。レジスト膜の上面からはシリル化剤は一方向にしか拡散しないが、レジスト膜の側壁表面部分においては、シリル化剤が四方に拡散する。この結果、側壁表面において形成されるシリル化物含有層42の膜厚T2はレジスト膜の上面において形成されるシリル化物含有層42の膜厚T1よりも厚く形成される。

【0079】次に、図11(d)に示すように、基板10を回転させながら、基板の外周部から5mmの領域(領域B)に、有機系の剥離液S1(例えば商品名EKC-270(EKC Technology, Inc製)、あるいはシンナーなど)を滴下し、領域Bにおいて、レジスト膜の少なくとも側壁表面を含む表層部分に形成されたシリル化物含有層を除去する。シリル化物含有層42は、上記のような有機系の剥離液で除去することが可能である。このとき、剥離液S1の滴下領域のレジスト膜40も除去され、図11(e)に示す構成となる。

【0080】次に、図11(f)に示すように、例えばTCP(transformer coupled plasma)型のプラズマエッティング装置を用いて、(処理温度=10°C、処理圧力=5mTorr、O₂/SO₂の流量=160/30sccm、TCPパワー=500W、バイアスパワー=100W)の条件のO₂-SO₂系プラズマエッティングにより、異方性エッティングを施す。このとき、シリル化物含有層42中のシリコンとエッティングガスE1中の酸素が結合して、シリル化物含有層42の表層に酸化シリコン(SiO_x)含有層42bが例えば20nmの膜厚で選択的に形成され、酸化シリコン含有層42bを除く領域がシリル化物含有層42aとなる。また、上記のプラズマエッティングにおいて、酸化シリコン含有層42bがマスクとなって被露光部分のレジスト膜(40、41)が

エッチングされ、ゲートパターンのレジスト膜40aが形成される。

【0081】次に、図12(g)に示すように、例えばECR型のプラズマエッティング装置を用いて、酸化シリコン含有層42bあるいはレジスト膜40aをマスクとして、第1段としてC₁-O₂系プラズマエッティング処理、第2段としてHB_r-O₂系プラズマエッティング処理を施し、エッティングガスE2を基板面にあてて、ポリシリコンのゲート電極30aおよび酸化シリコンのゲート絶縁膜21をエッティング加工する。このエッティング条件としては、例えば(基板温度=20°C、処理圧力=0.5Pa、C₁-O₂/HB_rの流量=15/5/9.5sccm、バイアスRFパワー=25W)とする。

【0082】次に、図12(h)に示すように、例えばTCP型のプラズマエッティング装置を用いて、(処理温度=0°C、処理圧力=5mTorr、CHF₃-O₂の流量=10/5sccm、TCPパワー=500W、バイアスパワー=100W)の条件のCHF₃-O₂系プラズマエッティングにより、15秒間異方性エッティングを施して、酸化シリコン含有層42bおよびシリル化物含有層42aを剥離する。次に、O₂プラズマ処理で残りのバルクのレジスト膜40aをアッシング除去し、さらにH₂SO₄/H₂O₂溶液で後処理する。

【0083】次に、図12(i)に示すように、領域Aにおいて、例えば半導体基板10の導電型と異なる導電型の導電性不純物(基板がp型の場合には、リンなどのn型不純物、基板がn型の場合には、ホウ素などのp型不純物)をゲート電極30aをマスクとしてイオン注入して、ゲート電極30aの両側部における半導体基板10中に、導電性不純物の拡散層であるソース・ドレイン領域11を形成する。このとき、領域Bにおいても導電性不純物の拡散層12が形成される。領域Bをレジスト膜などでマスクし、領域Aに選択的にイオン注入することができる。以上で、図9に示す構造に至る。

【0084】上記の本実施形態の半導体装置の製造方法においては、ポジ型のレジスト膜中に形成されたシリル化物含有層の表層部分に酸化シリコン含有層を形成する前に、領域Bにおいてレジスト膜の側壁表面を含む表層部分に形成されたシリル化物含有層を除去するので、従ってここには酸化シリコン含有層が形成されない。このため、基板の領域B(エッジ部)において残渣を残すことなく容易にレジスト膜を除去することができる。

【0085】上記の本実施形態の半導体装置の製造方法においては、基板の領域Bにおけるレジスト膜を剥離するために、有機系の剥離液を用いるかわりにフッ酸水溶液を用いることができる。この場合は、シリル化物含有層のみが剥離され、レジスト膜が残されるが、次工程であるO₂プラズマ処理により、除去されたシリル化物含有層の下層に形成されていたレジスト膜は除去されるので、上記の実施形態と同様の構造を得ることができる。

【0086】本発明は、DRAMなどのMOSトランジスタの半導体装置や、バイポーラ系の半導体装置、あるいはA/Dコンバータなど、フォトリソグラフィー工程によりフォトレジスト膜をパターン加工する工程を有している半導体装置の製造方法であれば何にでも適用できる。さらに、半導体装置の製造方法に限らず、微細なパターンを転写するためのフォトリソグラフィー方法として応用することが可能である。

【0087】本発明は、上記の実施の形態に限定されない。例えば、実施形態ではゲート電極を加工するためのマスクとして、シリル化プロセスによりレジスト膜を形成しているが、ゲート電極以外の導電層、基板自体、あるいは絶縁膜などの加工に適用することができる。その他、本発明の要旨を逸脱しない範囲で種々の変更を行うことができる。

【0088】

【発明の効果】本発明によれば、シリル化プロセスにより基板上にレジスト膜をパターン形成するときに、露光処理により第2領域のレジスト膜の側壁表面に予めシリル化物含有層を形成させない、あるいは、形成してもシリル化物含有層の表層部分に酸化シリコン含有層を形成する前に第2領域のレジスト膜の側壁表面のシリル化物含有層を除去してしまうことにより、基板の第2領域(エッジ部)において残渣を残すことなく容易にレジスト膜を除去することができる半導体装置の製造方法およびフォトリソグラフィー方法を提供することができる。

【図面の簡単な説明】

【図1】図1は第1実施形態に係る半導体装置のトランジスタ形成工程後における(a)半導体基板の平面図および(b)前記半導体基板のエッジ近傍領域の断面図である。

【図2】図2は第1実施形態に係る半導体装置の製造方法の製造工程を示す断面図であり、(a)は素子分離絶縁膜の形成工程まで、(b)はゲート絶縁膜となる酸化シリコン層の形成工程まで、(c)はゲート電極となるポリシリコン層の形成工程までを示す。

【図3】図3は図2の続きの工程を示す断面図であり、(d)はレジスト膜の形成工程まで、(e)は領域Bにおける露光工程まで、(f)は領域Aにおけるパターン露光工程までを示す。

【図4】図4は図3の続きの工程を示す断面図であり、(g)はシリル化物含有層の形成工程まで、(h)は酸化シリコン含有層の形成およびレジスト膜のパターン加工工程まで、(i)はゲート電極のパターン加工工程までを示す。

【図5】図5は図4の続きの工程を示す断面図であり、(j)はレジスト膜の除去工程まで、(k)はソース・ドレイン領域の形成工程までを示す。

【図6】図6は第2実施形態に係る半導体装置の製造方法の製造工程を示す断面図であり、(a)はレジスト膜

の形成工程まで、(b)は領域Aにおけるパターン露光工程まで、(c)は被露光領域における架橋部の形成工程までを示す。

【図7】図7は図6の続きの工程を示す断面図であり、(d)はシリル化物含有層の形成工程まで、(e)は酸化シリコン含有層の形成およびレジスト膜のパターン加工工程まで、(f)はゲート電極のパターン加工工程までを示す。

【図8】図8は図7の続きの工程を示す断面図であり、(g)はレジスト膜の除去工程まで、(h)はソース・ドレイン領域の形成工程までを示す。

【図9】図9は第3実施形態に係る半導体装置のトランジスタ形成工程後における(a)半導体基板の平面図および(b)前記半導体基板のエッジ近傍領域の断面図である。

【図10】図10は第3実施形態に係る半導体装置の製造方法の製造工程を示す断面図であり、(a)はレジスト膜の形成工程まで、(b)は領域Aにおけるパターン露光工程まで、(c)はシリル化物含有層の形成工程までを示す。

【図11】図11は図10の続きの工程を示す断面図であり、(d)および(e)は領域Bにおけるシリル化物含有層の除去工程まで、(f)は酸化シリコン含有層の形成およびレジスト膜のパターン加工工程までを示す。

【図12】図12は図11の続きの工程を示す断面図であり、(g)はゲート電極のパターン加工工程まで、(h)はレジスト膜の除去工程まで、(i)はソース・ドレイン領域の形成工程までを示す。

【図13】図13は従来例に係る半導体装置のトランジスタ形成工程後における(a)半導体基板の平面図および(b)前記半導体基板のエッジ近傍領域の断面図である。

【図14】図14は従来例に係る半導体装置の製造方法の製造工程を示す断面図であり、(a)は素子分離絶縁膜の形成工程まで、(b)はゲート絶縁膜となる酸化シリコン層の形成工程まで、(c)はゲート電極となるポリシリコン層の形成工程までを示す。

【図15】図15は図14の続きのレジスト膜を形成する工程までを示す(d)斜視図および(e)断面図である。

【図16】図16は図15の続きの基板の外周部のレジスト膜を除去する工程までを示す(f)斜視図および(g)断面図である。

【図17】図17は図16の続きの工程を示す断面図であり、(h)はパターン露光工程まで、(i)はシリル化物含有層の形成工程まで、(j)は酸化シリコン含有層の形成およびレジスト膜のパターン加工工程までを示す。

【図18】図18は図17の続きの工程を示す断面図であり、(k)はゲート電極のパターン加工工程まで、

(1) はレジスト膜の除去工程まで、(m) はソース・ドレイン領域の形成工程までを示す。

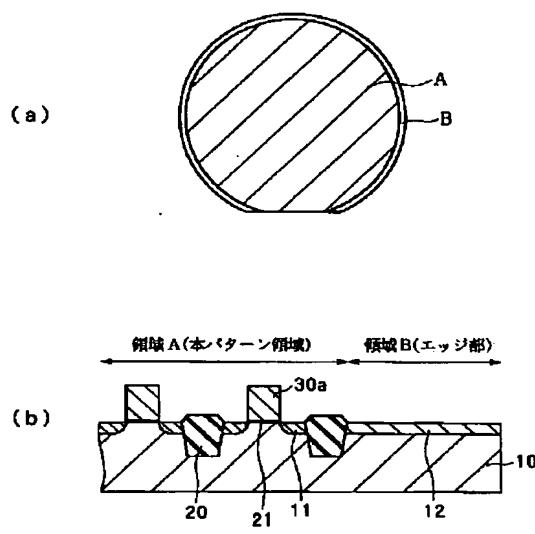
【図19】図19は従来例の半導体装置の製造工程の問題点を説明するための断面図であり、(k') はゲート電極のバターン加工工程まで、(l') はレジスト膜の除去工程までを示す。

【符号の説明】

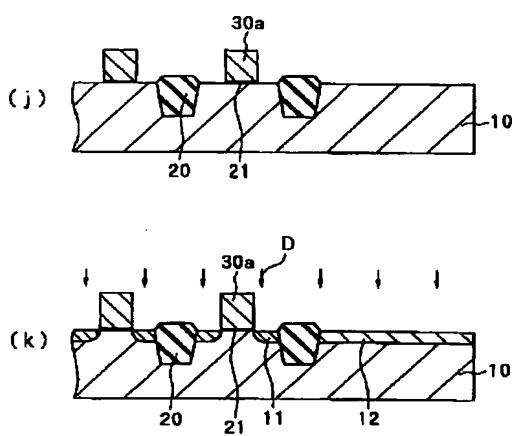
10…半導体基板、11…ソース・ドレイン領域、12…導電性不純物の拡散層、20…素子分離絶縁膜、21*

*…ゲート絶縁膜、30, 30b…ポリシリコン層、30a…ゲート電極、40, 40a…レジスト膜、41, 41a…架橋部、42, 42a, 42a'…シリル化物含有層、42b, 42b'…酸化シリコン含有層、42c…残渣、43…非架橋部、LE…エッジ部露光用の光、LP, LN…バターン露光用の光、MP, MN…マスク、S…シリル化剤、E1, E2…エッティングガス、D…導電性不純物、S1…剥離液。

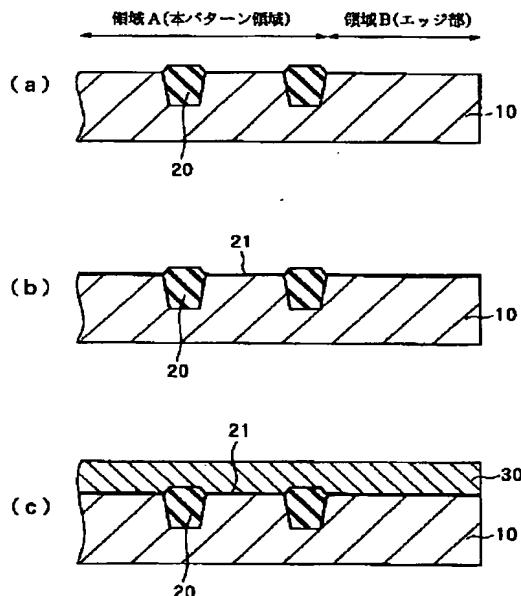
【図1】



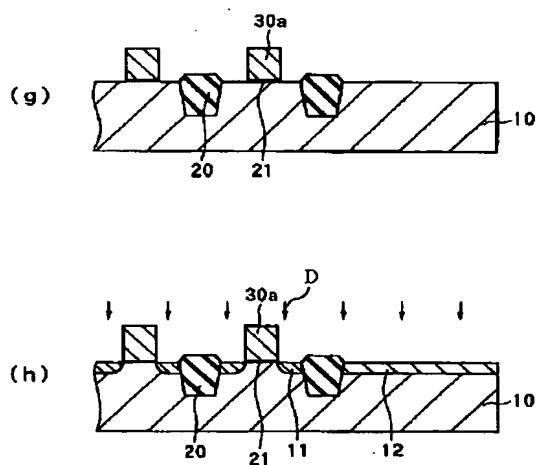
【図5】



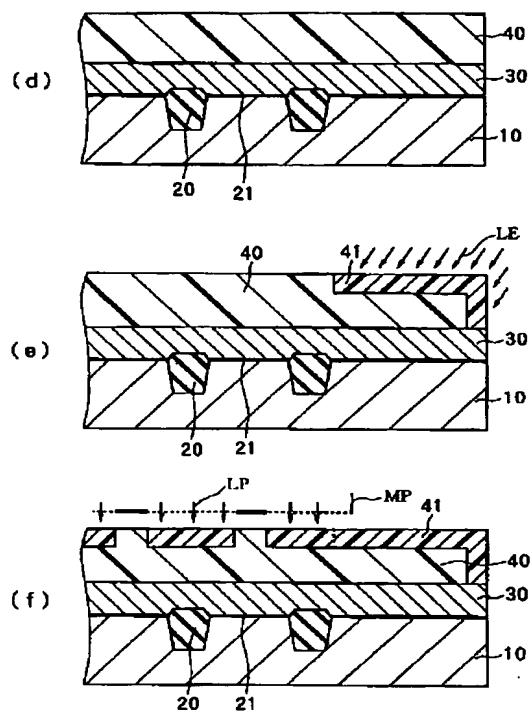
【図2】



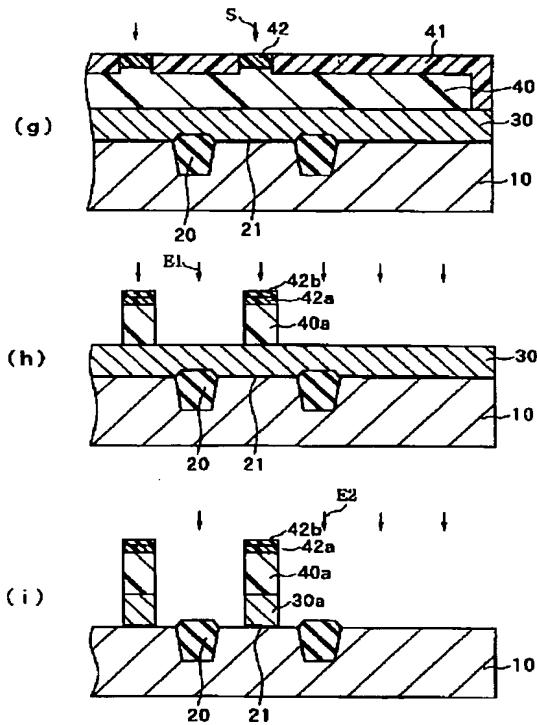
【図8】



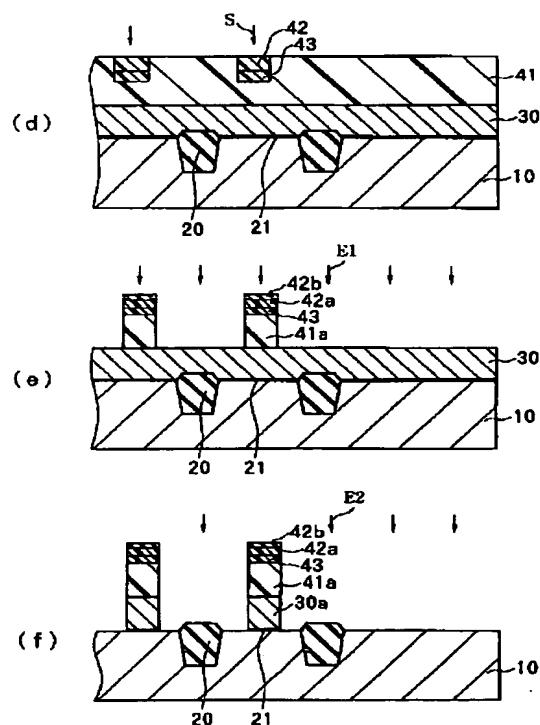
【図3】



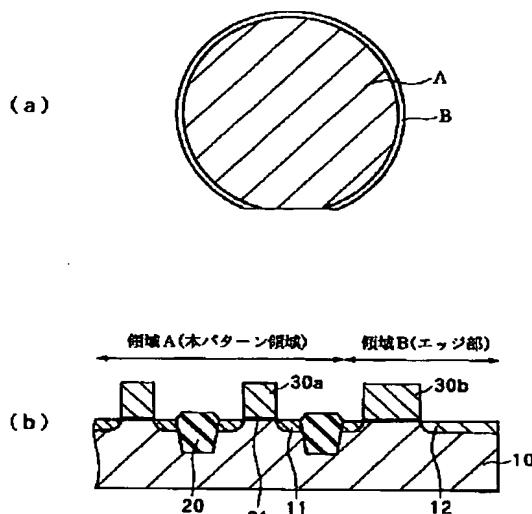
【図4】



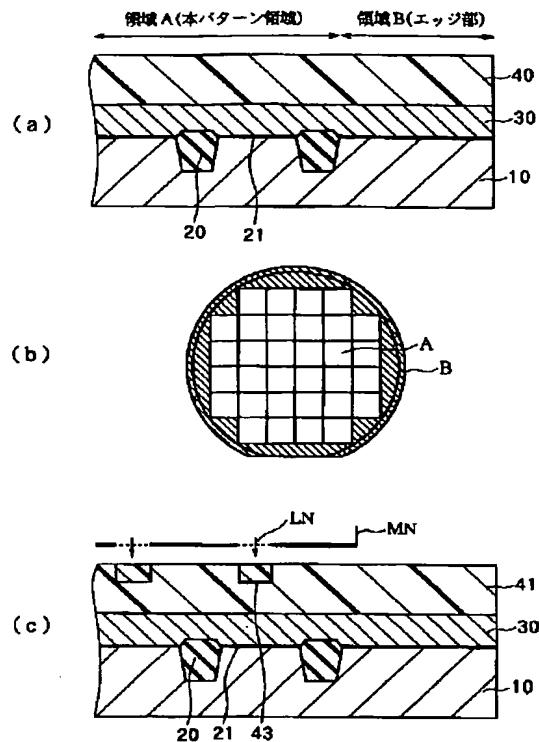
【図7】



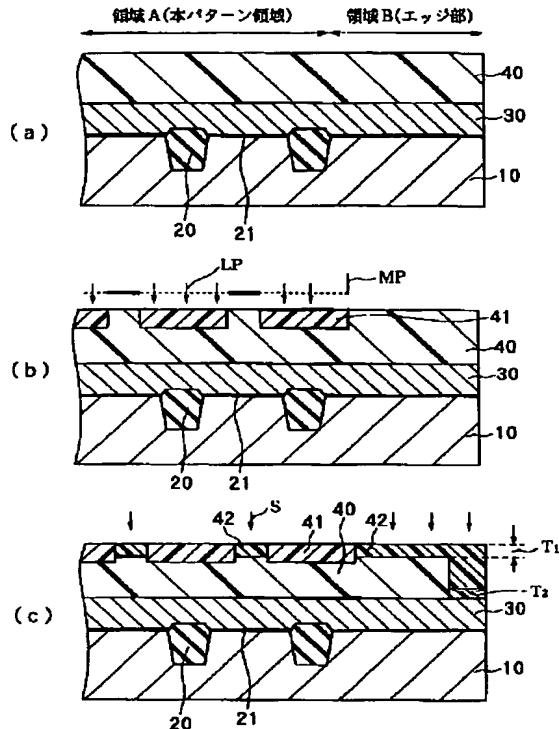
【図9】



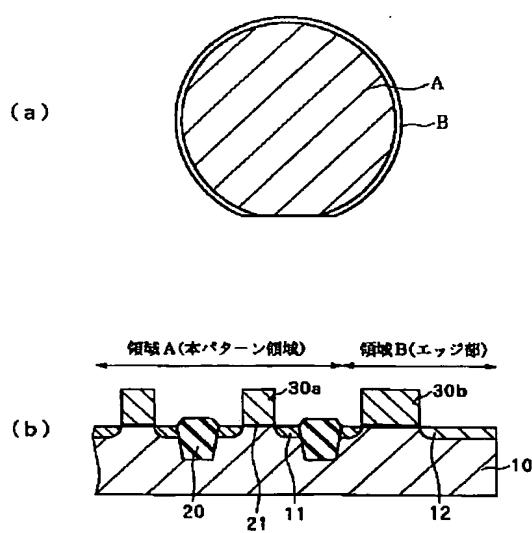
【図6】



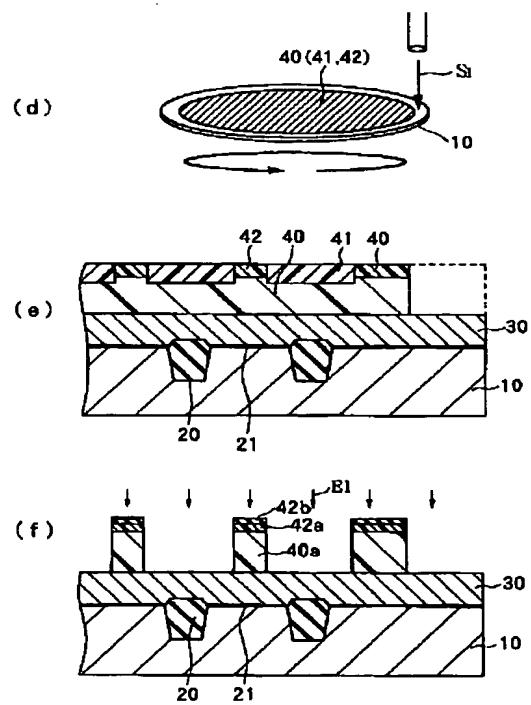
【図10】



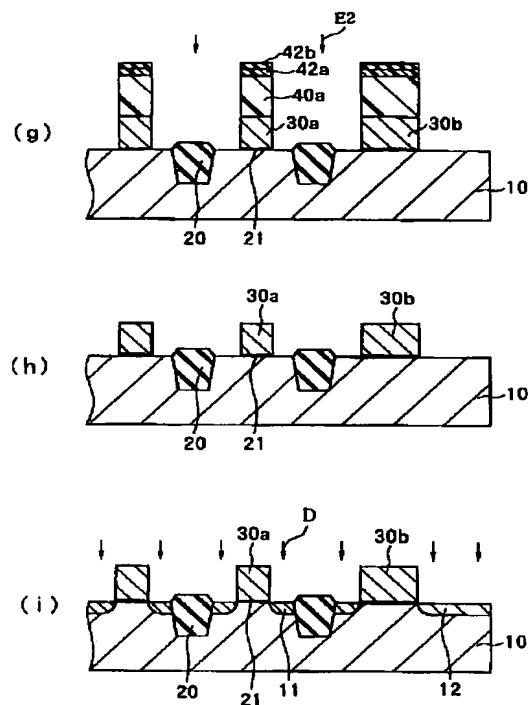
【図13】



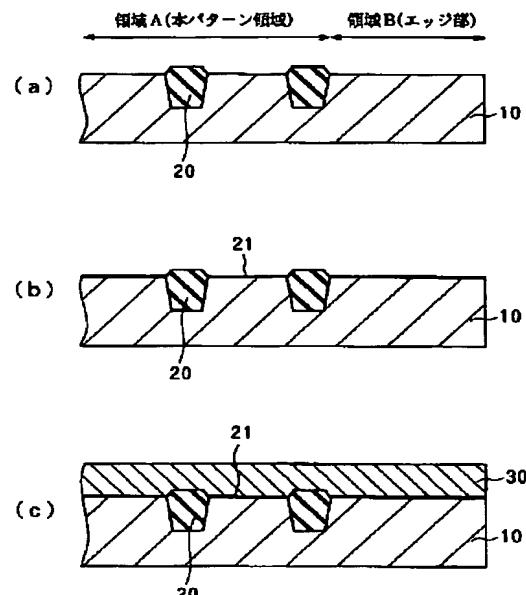
【図11】



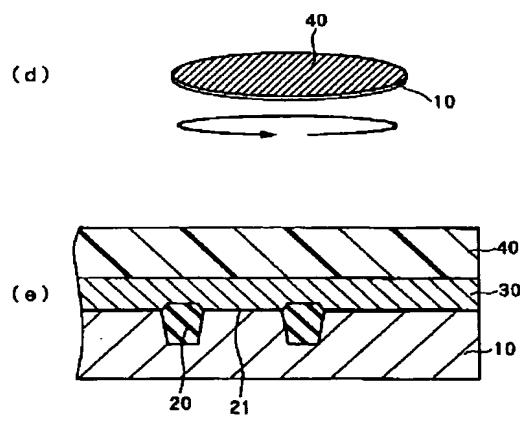
【図12】



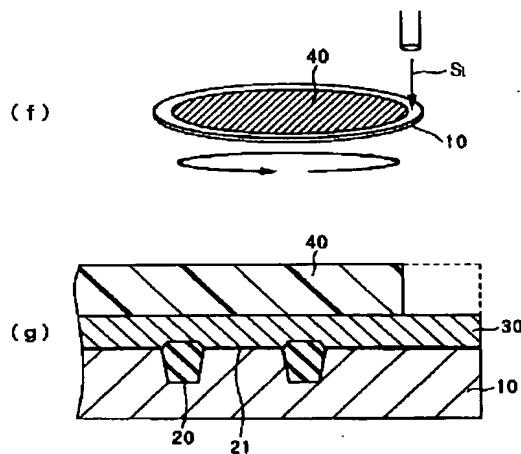
【図14】



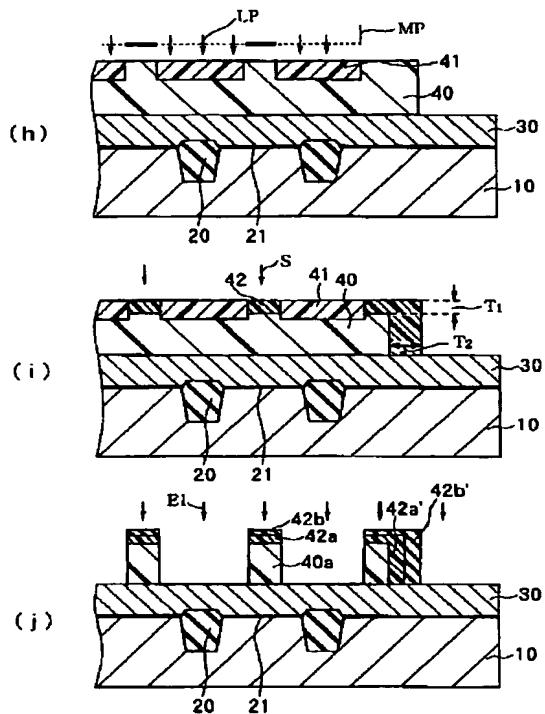
【図15】



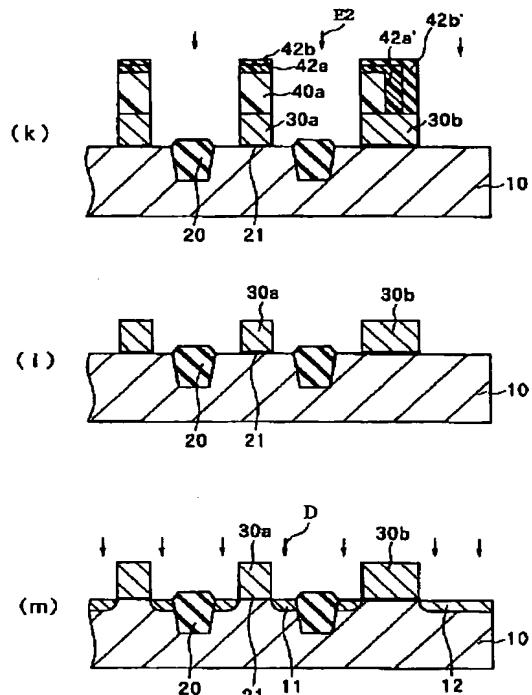
【図16】



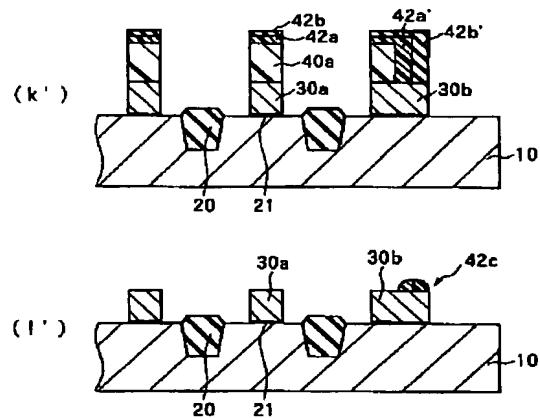
【図17】



【図18】



【図19】



フロントページの続き

(S1) Int.C1.?

識別記号

F I
H 0 1 L 21/30
21/302

テーマコード(参考)

5 7 7
H

F ターム(参考) 2H096 AA25 BA01 EA02 FA04 FA10
HA23
5F004 AA09 BA20 CA06 DA00 DA04
DA16 DA26 DB02 DB26 EA04
EA06 EA26 EA28 EA32 EB02
FA02
5F046 AA28 BA04 CA01 CA04 JA04
LB01 LB09 MA12

**This Page is Inserted by IFW Indexing and Scanning
Operations and is not part of the Official Record**

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

- BLACK BORDERS**
- IMAGES CUT OFF AT TOP, BOTTOM OR SIDES**
- FADED TEXT OR DRAWING**
- BLURRED OR ILLEGIBLE TEXT OR DRAWING**
- SKEWED/SLANTED IMAGES**
- COLOR OR BLACK AND WHITE PHOTOGRAPHS**
- GRAY SCALE DOCUMENTS**
- LINES OR MARKS ON ORIGINAL DOCUMENT**
- REFERENCE (S) OR EXHIBIT (S) SUBMITTED ARE POOR**
- OTHER: _____**

IMAGES ARE BEST AVAILABLE COPY.

As rescanning these documents will not correct the image problems checked, please do not report these problems to the IFW Image Problem Mailbox